

عنوان مقاله:

طراحی تقسیم کننده تقریبی جهت کاهش مصرف انرژی و جبران خطا

محل انتشار:

نهمین کنفرانس ملی علوم و مهندسی کامپیوتر و فناوری اطلاعات (سال: 1398)

تعداد صفحات اصل مقاله: 14

نویسنده:

مصباح تام - دانشجوی کارشناسی ارشد، گروه کامپیوتر، دانشکده فنی و مهندسی دانشگاه شهید باهنر کرمان

خلاصه مقاله:

طراحی تقسیم کننده سریع یک مسئله مهم در محاسبات تقریبی با سرعت بالا است. در عملیات تقسیم سریع شاخص های طراحی مانند تعداد بیت ها N و مبنا r در تجزیه و تحلیل در نظر گرفته می شوند؛ در برخی از عملیات تقسیم تقریبی عملیات جایگزینی سلول های دقیق با سلول های غیردقیق یا برش سلول های دقیق انجام می شود که در آن کاهش حجم سلول ها و نیز جبران راهکارهایی خطا مورد بررسی قرار می گیرند تا دقت محاسبات را گسترش دهند. در این مقاله عملکرد سطح مدار و ویژگی های خطا در تقسیم کننده های دقیق با مبنا r بالا برای طرح پیشنهادی مورد بررسی قرار می گیرد. در این مقاله یک معماری تقسیم سریع SRT با مبنا $r=4$ ارائه شده است. به جای اینکه رقم صحیح نشان داده شود، یک رقم تخمین زده شده برای اولین بار حدس زده می شود. رقم خارج قسمت پیش بینی شده برای محاسبه همزمان دو باقیمانده جزئی احتمالی مرحله بعد استفاده می شود؛ در حالی که رقم خارج قسمت پیش بینی شده نیز تصحیح می شود. بنابراین، این فرایند دو مرحله ای باعث کاهش سرعت کلی نمی شود. از آنجا که مدارهای تصمیم گیری را می توان با سازه های گیت های ساده پیاده سازی کرد، تقسیم کننده پیشنهادی با استفاده از گیت های پایه تقسیم تقریبی سریع را ارائه می دهد به گونه ای که به نتایج مطلوبی برسیم. براساس طرح انجام شده، تاخیر مدار 100 نانو ثانیه را برای تقسیم دقیق مبنا $r=4$ برابر و توان مصرفی 120 میکرو وات صورت می گیرد، که فناوری CMOS 180 نانو متری در طراحی، بکار رفته و نیز شبیه سازی می شود. نتایج شبیه سازی نشان می دهد که تقسیم کننده تقریبی پیشنهادی صرفه جویی گسترده ای را از لحاظ توان مصرفی، پیچیدگی مدار و تاخیر ارائه می دهد، در حالی که فقط یک خلل کوچک در دقت وارد می شود و در نتیجه امکان مناسب و جالب برای برخی از کاربردها و حوزه ها فراهم می کند.

کلمات کلیدی:

تقسیم کننده مبنا r بالا، محاسبات تقریبی، تقسیم کننده مبنا $r=4$

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/1000814>

