

## عنوان مقاله:

طراحی تقسیم کننده تقریبی جهت کاهش مصرف انرژی و جبران خطا

## محل انتشار:

هشتمین کنفرانس بین المللی فناوری اطلاعات، کامپیوتر و مخابرات (سال: 1398)

تعداد صفحات اصل مقاله: 13

## نویسنده:

مصباح تام - دانشجوی کارشناسی ارشد، گروه کامپیوتر، دانشکده فنی و مهندسی دانشگاه شهید باهنر کرمان

## خلاصه مقاله:

طراحی تقسیم کننده سریع یک مسئله مهم در محاسبات تقریبی با سرعت بالا است. در عملیات تقسیم سریع، شاخصهای طراحی مانند تعداد بیتها  $N$  و مبنای  $r$  در تجزیه و تحلیل در نظر گرفته می شوند؛ در برخی از عملیات تقسیم تقریبی عملیات جایگزینی سلولهای دقیق با سلولهای غیردقیق یا برش سلولهای دقیق انجام میشود که در آن برای کاهش حجم سلولها و نیز جبران راهکارهایی خطا مورد بررسی قرار میگیرند تا دقت محاسبات را گسترش دهند. در این مقاله عملکرد سطح مدار و ویژگیهای خطا در تقسیم کننده های دقیق با مبنای بالا برای طرح پیشنهادی مورد بررسی قرار میگیرد. در این مقاله یک معماری تقسیم سریع SRT2 با مبنای 4 ارائه شده است. به جای اینکه رقم صحیح نشان داده شود، یک رقم تخمین زده شده برای اولین بار حدس زده میشود. رقم خارج قسمت پیش بینی شده برای محاسبه همزمان دو باقیمانده جزئی احتمالی مرحله بعد استفاده میشود؛ در حالی که رقم خارج قسمت پیش بینی شده نیز تصحیح میشود. بنابراین، این فرایند دو مرحلهای باعث کاهش سرعت کلی نمیشود. از آنجا که مدارهای تصمیم گیری را می توان با سازه های گیتهای ساده پیاده سازی کرد، تقسیم کننده پیشنهادی با استفاده از گیتهای پایه تقسیم تقریبی سریع را ارائه می دهد به گونه ای که به نتایج مطلوبی برسیم. براساس طرح انجام شده، تاخیر مدار 100 نانو ثانیه را برای تقسیم دقیق مبنای 4 برابر و توان مصرفی 120 میکرو وات صورت می گیرد، که فناوری CMOS 180 نانو متری در طراحی، بکار رفته و نیز شبیه سازی میشود. نتایج شبیه سازی نشان میدهد که تقسیم کننده تقریبی پیشنهادی صرفه جویی گسترده ای را از لحاظ توان مصرفی، پیچیدگی مدار و تاخیر ارائه می دهد، در حالی که فقط یک خلل کوچک در دقت وارد میشود و در نتیجه امکان مناسب و جالب برای برخی از کاربردها و حوزه ها فراهم میکند.

## کلمات کلیدی:

تقسیم کننده مبنای بالا، محاسبات تقریبی، تقسیم کننده مبنای 4

## لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/1010121>

