

عنوان مقاله:

طراحی ALU تحمل‌پذیر اشکال با روش جدید پیاده‌سازی کد برگر

محل انتشار:

فصلنامه مهندسی برق دانشگاه تبریز، دوره 50، شماره 2 (سال: 1399)

تعداد صفحات اصل مقاله: 12

نویسندگان:

احمد توحیدی گل - دانشکده مهندسی برق و کامپیوتر - دانشگاه علم و صنعت

رضا امیدی - دانشکده فنی مهندسی - گروه برق - دانشگاه زنجان

کریم محمدی - دانشکده مهندسی برق و کامپیوتر - دانشگاه علم و صنعت

خلاصه مقاله:

واحد محاسبه و منطق از حساس‌ترین واحدهای سازنده یک پردازنده است که اکثر دستورهای یک پردازنده توسط این بخش انجام می‌شود. افزودنی زمانی یکی از مناسب‌ترین روش‌های مقابله با خطای گذرا است. در اغلب روش‌های افزودنی زمانی لازم است ابتدا خطا آشکار شود، بنابراین وجود مدارهای آزمون در کنار روش‌های افزودنی زمانی ضروری است. از بزرگ‌ترین ایرادهای مدارهای آزمون سربار سخت‌افزاری بالای این مدارها است که باعث می‌شود طراحان در طراحی مدارهای کوچک مجبور به استفاده از روش‌های غیرمعمول شوند. در این مقاله روش جدیدی برای پیاده‌سازی مدار چک کننده برگر ارائه شده است در این روش از مدارات حالت جریان جهت پیاده‌سازی کد برگر استفاده شده است که ویژگی‌های آن سرعت بالاتر و سخت‌افزار موردنیاز کمتر است. با توجه به نتایج توان مصرفی مدار پیشنهادی نسبت به مدار دیجیتال به‌طور متوسط تا حدود 51 درصد کاهش یافته است و سطح اشغالی مدار آزمون حالت جریان 74.3 درصد کمتر از سطح مصرفی مدار معادل دیجیتال است. به‌طور متوسط هزینه مدار برگر حالت جریان (حاصل ضرب توان مصرفی در تأخیر و سطح مصرفی)، 91 درصد کمتر از پیاده‌سازی برگر دیجیتال معادل است.

کلمات کلیدی:

تحمل‌پذیری اشکال، افزودنی زمانی، مدار حالت جریان، کد باقیمانده، کد برگر

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/1124021>

