سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
نواع روش های کا هش نشتی درمدارات(cmos (VLSI

محل انتشار:
ششمین کنفرانس ملی ایده های نوین در فنی و مهندسی (سال: 1399)

تعداد صفحات اصل مقاله: 11

نویسندگان:
مصطفی خشنود - *دکتری الکترونیک , دانشگاه شهید چمران رشت*

علیرضا انسپوی - *کارشناسی الکترونیک دانشگاه شهیدچمران رشت*

خلاصه مقاله:
باپیشرفت روزافزون تکنولوژی برسرعت کوچک شدن فناوری cmos افزوده شده است با این وجود جریان های نشتی هنوز هم به عنوان یک اثر نامطلوب باقی مانده است این مسئله به شکلی جدی برخورد کرده است این جریان های نشتی باید برای یک نواخت کردن مدار به حداقل رساند طراحی این مدار cmos نانو که فاقد جریان نشتی باشدکار بسیار چالش برانگیزی است ما یک تکنیک مداری برای کاهش جریان نشتی mosfet ازطریق کنترل کردن ولتاژدرترمینال سورس mosfet ارائه دادیم.این تکنیک به این صورت است که اینورتر CMOS طراحی شده با استفاده از تکنیک پیشنهادی موجب پیشرفت 98 % و 30 % به ترتیب در تلفات استاتیک و توان کل در مقایسه با طراحی رایج آن شد. نتایج شبیه سازی گیت های NAND و NOR طراحی شده با استفاده از همین تکنیک، بهبود 15.89 درصدی و 18.83 درصدی در توان کل در مقایسه با طراحی های متداول مربوطه ی آنها را نتیجه داد. نوسان ساز حلقه ای 11 گامی CMOS با استفاده از تکنیک پیشنهادی، تحلیل شد، و نتایج شبیه سازی مربوطه گزارش شد. مقایسه ی مدارهای پیشنهادی به لحاظ تلفات توان و تأخیر با دو تکنیک موجود، ضرب توان -تأخیر خوب(PDP) را نتیجه داد.

کلمات کلیدی:
MOS ؛ توان نشتی؛ اینورتر CMOS ؛ تلفات توان کم.

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/1153698