سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
اجرای شتاب دهنده شبکه عصبی کانولوشن بر روی FPGA با روش سنتز سطح بالا

محل انتشار:
کنفرانس ملی صنعت برق و الکترونیک (سال: 1399)

تعداد صفحات اصل مقاله: 12

نویسندگان:
احسان قربانی - *دانشجوی کارشناسی ارشد، دانشکده مهندسی برق - واحد نجف آباد - دانشگاه آزاد اسلامی - نجف آباد - ایران*

مهدی آمون - *استادیار، دانشکده مهندسی برق - واحد نجف آباد - دانشگاه آزاد اسلامی - نجف آباد - ایران*

خلاصه مقاله:
در سال های اخیر شبکه های عصبی کاتولوشن (CNNs) با موفقیت های بسیار خوبی ظاهر شده اند. هرچه شبکه های عصبی کانولوشن برای مسائل پیچیده تر مورد استفاده قرار بگیرند، حجم محاسبات و فضای ذخیره سازی آنها به شدت افزایش می یابد. در نتیجه بهره بردن از تکنیک های بهینه سازی و شتاب دهنده های سخت افزاری سفارشی برای بازدهی و افزایش عملکرد آنها حیاتی هستند. هدف این تحقیق پیاده سازی یک شتاب دهنده شبکه عصبی کاتولوشن جهت تشخیص و طبقه بندی ارقام دست نویس پایگاه داده MNIST بر روی FPGA است. ساختار شبکه کانولوشن پیشنهادی ابتدا در برنامه متلب آموزش می یابد و با استفاده از تکنیک های یادگیری، دقت شبکه افزایش داده می شود. سپس توسط سنتز سطح بالا (HLS) در نرم افزار Vivado، معماری سخت افزاری شبکه پیاده سازی می شود. به صورت ویژه این تحقیق با پیشنهاد الگوی سخت افزاری مناسب و شتاب دهی با استفاده از تکنیک های بهینه سازی، پارامترهای عملکردی همچون توان، تأخیر و حجم مداری را بهبود خواهد داد. معماری ارائه شده در دو مدل ممیز ثابت ۳۲ و ۱۶ بیتی پیاده سازی گردیده است که با دقت تشخیص مناسب و مصرف بهینه در هر یک از منابع مختلف موجود در تراشه Zynq7z020 امکان قرار گیری آن در کنار دیگر مدارات پیاده سازی شده به صورت یک هسته مستقل را فراهم می کند.

کلمات کلیدی:
سنتز سطح بالا، شبکه عصبی کانولوشن، شتاب دهنده های سخت افزاری، یادگیری عمیق، FPGA

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/1157960