**سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها**
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

## عنوان مقاله:
تمام جمع کننده CMOS ترکیبی پرسرعت و کم مصرف

## محل انتشار:
ششمین کنفرانس بین المللی فناوری های نوآورانه در زمینه علوم، مهندسی و تکنولوژی (سال: 1399)

تعداد صفحات اصل مقاله: 8

## نویسنده:
شهزاد بحرالعلومی - *گروه مهندسی برق- الکترونیک، واحد خرمآباد، دانشگاه آزاد اسلامی، خرم آباد، ایران*

## خلاصه مقاله:
مدار تمام جمع کننده به عنوان اساسی ترین سلول برای ساخت مدارات حساب، جایگاه ویژه ای در علم کامپیوتر یافته است؛ چرا که بهبود پایه ای ترین عنصر در اغلب موارد به بهبود قابل توجهی در سطح کل سیستم خواهد انجامید (K.Navi2009 ,(Bui, Jiang , 2002), (D. A. Hodges at al,2004) متدهای نوین طراحی مدارات د ر VLSI بر افزایش سرعت و کاهش مصرف تمرکز دارند . K.Navi at al 2020 ((Sh.Bahrololoumi , at al,2008 در اینجا یک مدار تمام جمع کننده با روش CMOS ترکیبی و با تعداد ترانزیستور کمینه طراحی شده است. این روش امکان آزادی عمل بیشتری را برای طراح فراهم می کند و از انعطاف پذیری بالایی برخوردار است. از مزایای طرح ارائه شده در این مقاله در مقایسه با طرح های موجود میتوان به کاهش تعداد ترانزیستورها و نتیجتا کاهش مساحت تراشه و نیز کاهش توان مصرفی و افزایش سرعت که در کاربردهای VLSI بسیار مورد توجه است، S. M. Kang, Y.Leblebic,2003 اشاره کرد در مقاله حاضر کلیه شبیه سازی ها با استفاده از نرم افزار HSPICE و تکنولوژی 0/18 میکرومتر و ولتاژ تغذیه 1.8 ولت صورت گرفته است

## کلمات کلیدی:
و CMOS هایبرید (ترکیبی)، کمتوان، پرسرعت، PDP

## لینک ثابت مقاله در پایگاه سیویلیکا:

https://civilica.com/doc/1178454