

عنوان مقاله:

کاهش توان مصرفی و تاثیر دما بر مدار STSCL در تکنولوژی 65 نانومتر

محل انتشار:

اولین همایش رویکرد های نوین در مهندسی کامپیوتر و فناوری اطلاعات (سال: 1390)

تعداد صفحات اصل مقاله: 5

نویسنده:

محمد بیگلریان - دانشگاه آزاد اسلامی - قزوین

خلاصه مقاله:

در مدارات امروزی مشکلی که وضوح به چشم می خورد تلفیق مدارات آنالوگ و دیجیتال و به دنبال آن نویز سوئیچینگ در اثر القای جریان کشیده شده از منبع مدار دیجیتال و سابلستریت مشترک بین آنها پدید می آید از خصیصه این مدار مقاوم بودن در مقابل نویز است در این مقاله به اندازه گیری توان در دماهای مختلف پرداخته شد مشاهده شد با افزایش دما توان استاتیک اندکی افزایش دما مدار سریعتر خواهد بود و آنچه این مدار را نسبت به CMOS بارزتر می کند مستقل بودن توانهای مصرفی از منبع و سریعتر بودن آن است نتایج نشان میدهد میت وان با بکارگیری STSCL در طراحی فلیپ فلاپها افق جدیدی در طراحی مداراتی نظیر FPGA ایجاد نمود.

کلمات کلیدی:

توان استاتیک، توان پویا، STSCL-

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/119943>

