سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
مدلسازی اثر ضخامت اکسید گیت روی عملکرد مداری و توان مصرفی وارونگر CMOS

محل انتشار:
چهاردهمین کنفرانس دانشجویی مهندسی برق کشور (سال: 1390)

تعداد صفحات اصل مقاله: 5

نویسندگان:
امین حیدری - *دانشگاه آزاد اسلامی واحد بوشهر*

محمد عروتی نیا - *دانشگاه آزاد اسلامی واحد بوشهر*

محمد بهاروند - *دانشگاه آزاد اسلامی واحد خرم آباد*

خلاصه مقاله:
مدلسازی ادوات مقیاس نانو به منظور فراهم نمودن بدعتی جدید از ادوات MOS در جهت درک بهتر محدودیت های ناشی از فرایندهای مقیاس گذاری مورد نیاز است دراین مقاله با استفاده از یک مدل توده مداری ساخته شده در شبیه سازی مداری HSPICE اثرات ناشی از جریان های نشتی ایجاد شده توسط مقیاس گذاری اکسید گیت روی عملکرد مداری و توان مصرفی وارونگر CMOS نشان داده شده است.

کلمات کلیدی:
توان مصرفی ، تونلینگ مستقیم لبه، جریان نشتی گیت، مقیاس گذاری اکسید گیت، وارونگر CMOS

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/121461