

عنوان مقاله:

پیاده سازی و بهینه سازی سخت افزاری بلوک ره گیر در گیرنده های GPS باند پایه مبتنی بر FPGA و آزمون تحمل خرابی آن

محل انتشار:

فصلنامه علوم و فناوری دریا، دوره 24، شماره 94 (سال: 1399)

تعداد صفحات اصل مقاله: 13

نویسندگان:

سید محمدرضا موسوی میرکلائی - استاد دانشکده مهندسی برق، دانشگاه علم و صنعت ایران

علی رضا رضایی - دانشجوی کارشناسی ارشد، دانشکده مهندسی برق، دانشگاه علم و صنعت ایران

خلاصه مقاله:

در گیرنده های GPS، با توجه به ساختار سیگنال ارسالی و تاثیر گذاری عوامل فیزیکی بر روی آن که باعث کاهش شدید توان سیگنال دریافتی می گردد، از بلوک های مختلفی برای استخراج و بازیابی داده های ماهواره، استفاده می شود. دو بلوک ابتدایی به ترتیب بلوک ردگیری و بلوک ره گیری نام دارند. بلوک ردگیری به منظور تخمین زدن ساده فرکانس داپلر و فاز کد عمل می کند و بلوک ره گیری عمل دنبال کردن سیگنال ماهواره برای استخراج داده های ناوبری را انجام می دهد. قفل ماندن حلقه های PLL و DLL این بلوک بر روی سیگنال دریافتی در شرایط سختی همچون سیگنال ضعیف، حرکت شتابدار و ... امر مهمی است. از این رو، در حالت هایی که حلقه ها باز می شوند و فرکانس داپلر و فاز کد سیگنال دریافتی را گم می کنند، بسته به قابلیت ها و امکانات تعبیه شده در این بلوک، مدت زمان بسته شدن دوباره این حلقه ها، یکی از امتیازات ویژه برای این بلوک به حساب می آید. در این مقاله، به پیاده سازی بهینه شده سخت افزاری بلوک ره گیری مبتنی بر FPGA پرداخته شده و به صورت عملی و با پیاده سازی سخت افزاری، سرعت بسته شدن حلقه های موجود در این بلوک و دنبال کردن سیگنال را ارزیابی می نماییم.

کلمات کلیدی:

GPS، FPGA، فیلتر کالمن

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/1226601>

