سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی تثبیت کننده ولتاژ با افت کم دیجیتالی با استفاده ازثبات تقریب متوالی ادغام شده با شمارنده ی بالا- پایین شمار

محل انتشار:
بیستمین کنفرانس ملی دانشجویی مهندسی برق ایران (سال: 1400)

تعداد صفحات اصل مقاله: 7

نویسندگان:
ساناز سعیدپور - *دانشجوی کارشناسی ارشد مهندسی برق- الکترونیک، دانشگاه گیلان، دانشکده فنی، گروه برق*

شهباز ریحانی - *دانشجوی کارشناسی ارشد مهندسی برق-الکترونیک، دانشگاه گیلان، دانشکده فنی، گروه برق- عضو هیات علمی، دانشگاه گیلان، دانشکده فنی، گروه برق*

خلاصه مقاله:
در این مقاله یک تثبیت کننده با افت ولتاژ کم (Low-Dropout) دیجیتالی با استفاده ازثبات تقریب متوالی (SuccessiveApproximation Register) ادغام شده با شمارنده ی بالا- پایین شمار (Up-Down Counter) طراحی شده است. در اینطراحی از سه مقایسه گر برای مقایسه ی ولتاژ خروجی با ولتاژ مرجع, استفاده شده است. لذا برای ولتاژ مرجع حد مجاز بالاو حد مجاز پایین در نظر گرفته شده است. با استفاده از این سه مقایسه گر میزان سطح ولتاژ خروجی نسبت به ولتاژ مرجع،مشخص می شود. چنانچه سطح ولتاژ خروجی کمتر از حد بالای ولتاژ مرجع و بیشتر از حد پایین ولتاژ مرجع باشد، شمارنده بیالا- پایین شمار شروع به کار می کند و در غیر این صورت ثبات تقریب متوالی وارد عمل می شود. در این تثبیت کننده ولتاژبا استفاده از آرایه ی PMOS، جریان بار خروجی، کنترل می شود و مقدار ولتاژ خروجی، به ولتاژ مرجع می رسد. با توجه بهمدار پیشنهادی میزان فراجهش و فروجهش ولتاژ خروجی، کاهش می یابد که این امر باعث افزایش سرعت پاسخ گذرا می شود.در مدار پیشنهادی مقدار ولتاژ خروجی تثبیت شده نسبت به ولتاژ ورودی به اندازه ی ۱۰۰ میلی ولت کاهش یافته است.مدار تثبیت کننده ولتاژ پیشنهادی در تکنولوژی ۱۸۰ نانومتری CMOS طراحی و شبیه سازی شده است. مقدار ولتاژورودی برای مدار پیشنهادی برابر با ۰/۷ ولت و مقدار ولتاژ خروجی برابر با ۰/۶ ولت در نظر گرفته شده است.

کلمات کلیدی:
تثبیت کننده ی ولتاژ با افت کم دیجیتالی، ثبات تقریب متوالی، شمارنده بالا- پایین شمار

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/1277882