سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
شتاب دهنده سخت افزاری شناسایی مکان اتصال فاکتورهای رونویسی از روی ژنوم

محل انتشار:
پنجمین کنفرانس ملی فناوری در مهندسی برق و کامپیوتر (Tec ۲۰۲۱) (سال: 1400)

تعداد صفحات اصل مقاله: 5

نویسندگان:
محمدرضا کشتکارلنگرودی - *کارشناسی ارشد، گروه مهندسی کامپیوتر ، دانشگاه گیلان، رشت، ایران*

مهدی امینیان - *استادیار، گروه مهندسی کامپیوتر، دانشگاه گیلان رشت، ایران*

سمیرا عسگری - *پسادکترا، محقق، دانشگاه هاروارد آمریکا*

خلاصه مقاله:
امروزه شبکه های یادگیری عمیق در بسیاری از مسائل و کارها، از جمله بیوانفورماتیک و مسائل زیستی کاربرد دارد. با افزوده شدن لایه ها، ایجاد ساختار پیچیده برای آموزش و ارزیابی کاربرد های زمان واقعی به سمت شتاب دهنده های سخت افزاری از جمله FPGA رفت. اما با توجه به منابع محدود در این نوع شتاب دهنده ها باید برای بهبود منابع سخت افزاری، تاخیر و حافظه تلاش کرد. در این مقاله ما با استفاده از FPGA خانواده ی Artix۷، پیاده سازی شبکه های یادگیری عمیق برای معماری TBiNet که وظیفه ی شناسایی مکان های فاکتور های رونویسی را برعهده دارد، بررسی می نماییم. ما پیاده سازی و دستورهای طراحی را برای مقابله با این چالش ها و بهینه سازی در جهت کاهش تاخیر برجسته می کنیم. به طوری که با استفاده از تنظیم تقسیم بندی آرایه ها، خط لوله کردن حلقه های پیاده سازی و باز کردن برخی از حلقه های مناسب موجود، میزان استفاده از BRAM را حدودا ۲ درصد کاهش و زمان تاخیر حدود ۶۰ درصد بهبود پیدا نمود. البته در این راستا ۴ درصد میزان استفاده از LUT افزایش یافت.

کلمات کلیدی:
شتاب دهنده سخت افزاری، فاکتور های رونویسی، یادگیری عمیق، FPGA

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/1281591