

عنوان مقاله:

مبدل آنالوگ به دیجیتال تقریب متوالی ۸ بیتی توان پایین در تکنولوژی ۴۵ نانومتر

محل انتشار:

پنجمین کنفرانس ملی فناوری در مهندسی برق و کامپیوتر (۲۰۲۱ Tec) (سال: ۱۴۰۰)

تعداد صفحات اصل مقاله: ۷

نویسندگان:

محمدرضا پورکریمی خیاوی - کارشناسی ارشد برق الکترونیک، گروه برق و کامپیوتر، دانشکده فنی و مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران

علی برمکی - کارشناسی ارشد برق الکترونیک، گروه برق و کامپیوتر، دانشکده فنی و مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران

جواد جاویدان - دانشیار گروه برق و کامپیوتر، دانشگاه محقق اردبیلی، اردبیل، ایران

فاطمه رضائی - کارشناسی ارشد برق الکترونیک، گروه برق و کامپیوتر، دانشکده فنی و مهندسی، دانشگاه زنجان، زنجان، ایران

خلاصه مقاله:

طراحی مبدل های آنالوگ به دیجیتال، بخش ضروری سیستم هایی هستند که در آنها پردازش سیگنال انجام می گیرد. از کاربردهای مانند مخابرات بی سیم، پردازش تصویر و تجهیزات پزشکی نیاز به مبدل هایی است که علاوه بر دارا بودن تعداد بیت های خروجی بالا، بتوانند با سرعت مناسبی از سیگنال ورودی نمونه برداری کنند. بلوک های اصلی این مبدل، مدار نمونه بردار و نگهدارنده Boosted Clock، مقایسه گر دینامیکی، رجیستر تقریب متوالی، مبدل دیجیتال به آنالوگ می باشد. از بحث های مهم این طراحی برای کاهش توان مصرفی می توان به ساختار مقایسه گر و بلوک داخلی رجیستر تقریب متوالی اشاره کرد. رزولوشن ۸ بیت و توان مصرفی پایین در حد میکرو وات، بعنوان هدف اصلی طراحی انتخاب شده است. این مدار پیشنهادی در تکنولوژی ۴۵ نانومتر CMOS در کتابخانه شرکت TSMC تحت عنوان BSIM طراحی و در نرم افزار ۲۰۰۸ Hspice شبیه سازی شده است

کلمات کلیدی:

مدار نمونه بردار و نگهدارنده، Boosted Clock، مقایسه گر دینامیکی، رجیستر تقریب متوالی، مبدل دیجیتال به آنالوگ، مبدل آنالوگ به دیجیتال، تقریب متوالی، مبدل های کم توان، آرایه خازنی وزن دهی شده

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/1281625>

