سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
یک مبدل آنالوگ به دیجیتال ثبات تقریب متوالی با آلگوریتم بهبود یافته برای کاهش عناصر مبدل دیجیتال به آنالوگ خازنی

محل انتشار:
فصلنامه صنایع الکترونیک, دوره 12, شماره 2 (سال: 1400)

تعداد صفحات اصل مقاله: 9

نویسندگان:
میلاد تکجو - *گروه برق، دانشکده فنی، دانشگاه گیلان*

شهباز ریحانی - *گروه برق، دانشکده فنی، دانشگاه گیلان*

خلاصه مقاله:
در این مقاله یک مبدل آنالوگ به دیجیتال (ADC) هشت بیتی که با استفاده از یک ثبات تقریب متوالی (SAR) بهبود یافته طراحی شده، معرفی می شود. در ساختار پیشنهادی مبدل SAR از انتگرال گیری که با یک مبدل دیجیتال به آنالوگ (DAC) ادغام شده، استفاده می شود. وجود انتگرال گیر در ورودی ADC نیاز به مدار نمونه بردار و نگهدار را برطرف کرده و برای تولید سطوح مختلف ولتاژ در DAC از آن استفاده می شود. بدین ترتیب آلگوریتم تقریب متوالی طوری در ساختار پیشنهادی طوری بهبود یافته که با تعداد خازن های کمتری در DAC، سطوح ولتاژ مورد نیاز فراهم می شوند. بنابراین با یک آرایه خازنی کاهش یافته در DAC پیچیدگی مدار کاسته شده و سطح سیلیکون کمتری اشغال می شود. مبدل پیشنهادی عملیات تبدیل ورودی آنالوگ را به کد دیجیتال در ۱۰ پالس ساعت به اتمام می رساند. برای بررسی روش پیشنهادی، مدار مربوط به مبدل SAR در سطح ترانزیستوری با استفاده از تکنولوژی ۰.۱۸ CMOS میکرومتر با ولتاژ تغذیه ۱.۸ ولت طراحی و شبیه سازی شده است. نتایج شبیه سازی نشان می دهند که نسبت سیگنال به نویز و اعوجاج برای پهنای باند ورودی ۶۴۰ کیلوهرتز ۴۸.۳ دسی بل، بیت موثر ۷.۷۴ بیت و مصرف توان ۰.۸۵ میلی وات می باشند.

کلمات کلیدی:
مبدل آنالوگ به دیجیتال, مبدل دیجیتال به آنالوگ, آلگوریتم تقریب متوالی, آرایه خازنی کاهش یافته

لینک ثابت مقاله در پایگاه سیویلیکا:

https://civilica.com/doc/1301394