

عنوان مقاله:

طراحی یک مدار نمونه بردار و نگه دار با دقت ۱۲-Bit جهت نرخ داده ۲۰۰MS/s

محل انتشار:

فصلنامه روش های هوشمند در صنعت برق، دوره 5، شماره 18 (سال: 1393)

تعداد صفحات اصل مقاله: 8

نویسندگان:

حمید محمودیان - موسسه آموزش عالی جهاد دانشگاهی اصفهان

مهدی دولتشاهی - دانشگاه آزاد اسلامی، واحد نجف آباد

خلاصه مقاله:

در این مقاله، یک مدار نمونه بردار و نگه دار تمام تفاضلی با دقت ۱۲ بیت برای نرخ داده ۲۰۰MS/s ارائه گردیده است. در مدار پیشنهادی این مقاله به منظور افزایش خاصیت خطی و همچنین افزایش میزان ولتاژ عملکرد، از سوئیچ های بوت استرپ جهت نمونه برداری از سیگنال ورودی استفاده گردیده است. همچنین به منظور جلوگیری از اثر بارگذاری طبقات بعدی بر روی مدار پیشنهادی از یک بافر خروجی با بهره قابل تنظیم جهت افزایش خاصیت خطی استفاده گردیده است. عملکرد مدار پیشنهادی توسط نرم افزار Hspice با استفاده از تکنولوژی CMOS-۰.۳۵um مورد شبیه سازی قرار گرفته است که نتایج شبیه سازی، عملکرد مناسب مدار را جهت نرخ داده ۲۰۰MS/s با دقت ۱۲ بیت در خروجی تصدیق می کند.

کلمات کلیدی:

نمونه بردار و نگه دار، تزریق بار، سوئیچ بوت استرپ

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/1372109>

