سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
شبیه سازی یک سلول تمام جمع کننده یک بیتی cmos با توان پایین وکارایی بالا

محل انتشار:
ششمین کنفرانس بین المللی پژوهش های کاربردی در کامپیوتر، برق و فناوری اطلاعات (سال: 1400)

تعداد صفحات اصل مقاله: 14

نویسنده:
فرحان حسینعلی پور - *دانشجوی کارشناسی رشته الکترونیک دانشگاه فنی وحرفه ای پسران رشت چمران*

خلاصه مقاله:
مدار تمام جمع کننده یک واحد پایه در مدارهای منطقی و محاسبات دیجیتالی است، سرعت و مصرف توان پارامترهای مهمی در مدارات گفته شده به شمار می روند ،بنابراین روند پیاده سازی و ساخت مدارهای دیجیتال به واسطه کاهش مصرف توان و افزایش سرعت در تمام جمع کننده ها تحت تاثیر قرار می گیرد.تمام جمع کننده ی توان پایین برپایه ی مبدل CMOS و دربردارنده ی مبدل هایی دیگر، ارائه شده است. گیت های منطقی نظیرگیتهای NOR ، NAND و MAJORITY-NOT به همراه مجموعه ایی از مبدل ها، اجرا و پیاده سازی شده است.تمام جمع کننده ها با ساختار درختی برای مدارهای محاسباتی با کیفیت بالا به کار می روند، در این مقاله یک ساختار شبیه سازی آبشاری به کار خواهد رفت تا تمام جمع کننده ها را در یک محیط کاربردی واقعی، بسنجد. مدارهای مطالعه شده از نظر بازده انرژی، با استفاده از تکنیک پردازش ۰ / CMOS ,۱۸µm بهینه شده اند. لذا تمام جمع کننده ی پیشنهادی، منطق نوسان مناسب، خروجی های متعادل و قابلیت کارکرد خروجی قوی را نشان می دهد. همچنین مشاهده می شود که طرح پیشنهادی می تواند در بسیاری از موارد مخصوصا زمانی که هدف، کمترین توان مصرفی ممکن باشد، به کار.

کلمات کلیدی:
تمام جمع کننده ، cmos ، شبیه سازی ، LNA ، اسیلاتور

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/1452690