

عنوان مقاله:

طراحی یک مبدل با توان مصرفی پایین و نویز کم مبتنی بر یک مقایسه گر جریان ADC

محل انتشار:

چهارمین همایش ملی تحقیقات میان رشته ای در علوم مهندسی و مدیریت (سال: 1401)

تعداد صفحات اصل مقاله: 9

نویسندگان:

خدیجه رستمی - دانشجوی دکتری مهندس برق الکترونیک-دانشگاه آزاد اسلامی نجف آباد

پیام سنایی - دکتری مهندس برق الکترونیک-هیئت علمی دانشگاه آزاد نجف آباد

خلاصه مقاله:

در این مقاله، معماری ولتاژ کم و کم قدرت فلش ADC ارائه شده است. در اینجا یک توپولوژی جدید از یک مدار مقایسه گر پیشنهاد شده است که می تواند امتیازی عالی و کیفیت بالا برای طراحی ADC با ویژگی هایی مانند خطی بودن، سرعت، ولتاژ پایین و مصرف کم انرژی ارائه دهد. فلش ADC در ۰.۱۸ میلی متر ساخته شده است پردازنده CMOS و به ۳ بیت رسید. این مدار با ولتاژ منبع تغذیه ۱ ولت و ولتاژ کم ۱.۳ میلی وات کار می کند. حداکثر فرکانسی که می توان طراحی کرد ۳/۳ گیگاهرتز است. حداکثر خطاهای INL برابر ۲/۰ LSB و LSB ۲/۱ و در محدوده ی DNL برابر ۲/۰ LSB- و ۱/۰ LSB می باشد.

کلمات کلیدی:

مبدل آنالوگ به دیجیتال (ADC)؛ قدرت کم جریان، نمونه برداری، مقایسه کننده جریان، همگام سازی رمزگذار

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/1518001>

