سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی و ساخت یک ADPLL با کالیبراسیون خودکار و پاسخ دینامیکی قابل برنامه ریزی، برای منبع زمانبندی تجهیزات شبکه SDH

محل انتشار:
یازدهمین کنفرانس مهندسی برق (سال: 1382)

تعداد صفحات اصل مقاله: 8

نویسندگان:
احمدرضا کلانتری - *گروه سیستمها و فناوری نوری، مرکز تحقیقات مخابرات ایران،*

سیدرضا احسانی اسکویی - *گروه سیستمها و فناوری نوری، مرکز تحقیقات مخابرات ایران،*

محمدکاظم مروج فرشی - *گروه سیستمها و فناوری نوری، مرکز تحقیقات مخابرات ایران،*

خلاصه مقاله:
در این تحقیق، طراحی و ساخت مدار بازسازی سیگنال ساعت تجهیزات شبکه(SETS)،SDHابرای STM-1 ارائه شده است. این مدار شامل یک حلقه قفل فاز تمام دیجیتالADPLL است که به عنوان یک فیلتر فاز پایینگذر تمام دیجیتال درSETSاستفاده میشود. مدارADPLL دارای پاسخ دینامیکی است که به صورت نرم افزاری توسط مدیر شبکه کنترل میشود. علاوه بر قابلیت کنترل فرکانس قطع توسط مدیر شبکه، این فیلتر فاز پاسخ مناسبی را به شرایطسوئیچینگSETSبه سیگنال مرجع جدید میدهد. فرکانس مرکزی نوسانساز موجود دراینADPLL را میتوان بهصورتدیجیتالی کالیبره کرد تا اینکه زمان رفتنADPLL به حالت قفل، به حداقل مقدار ممکن برسد. دراین حالت، فرمان انجام کالیبراسیون از مدیر شبکه دریافت میشود. قسمت عمده مدارADPLLبر روی یک تراشهFPGA پیاده سازی شدهاست. تابع تبدیلADPLL به عنوان فیلتر فاز مرتبه دوم مدلسازی و نتایج حاصله به همراه نتایج حاصل از آزمون عملی آن ارائه شدهاست. این نتایج تمامی شرایط موجود در استانداردهای مربوط به سیگنال ساعت شبکهSDH را ارضا میکند.

کلمات کلیدی:
Synchronous Digital Hierarchy (SDH), Synchronous Equipment Timing Source (SETS), Synchronous Transport Module - 1 (STM-1), All Digital Phase Locked Loop (ADPLL), Digital Controlled Oscillator (DCO), Voltage Controlled Xtal (Crystal) Oscillator (VCXO

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/152292