

عنوان مقاله:

موازیسازی الگوریتم مسیریابی سراسری راهیاب روی سیستمهای چند هسته‌ای

محل انتشار:

نوزدهمین کنفرانس مهندسی برق ایران (سال: 1390)

تعداد صفحات اصل مقاله: 6

نویسندگان:

آرش فرکیش - دانشکده‌ی مهندسی برق و کامپیوتر، دانشگاه آزاد اسلامی واحد اراک

علی جهانیان - استادیار دانشکده‌ی مهندسی برق و کامپیوتر، دانشگاه شهید بهشتی

خلاصه مقاله:

ابزارهای طراحی فیزیکی عمدتاً دارای الگوریتم‌هایی با پیچیدگی زمانی غیرچندجمله‌ای هستند که زمان اجرای بسیار بالایی دارند. با توجه به اینکه طولانی شدن زمان اجرای این بخش، بر کل زمان طراحی خودکار سخت‌افزار تأثیر مستقیم دارد، کاهش زمان اجرای بخش طراحی فیزیکی از اهمیت بالایی برخوردار است. در چند سال اخیر پردازنده‌هایی با معماری‌های چند هسته‌ای ارائه شده که پتانسیل مناسبی برای اجرای برنامه‌های چند نخه دارند. در این مقاله یک الگوریتم جدید برای اجرای الگوریتم مسیریابی سراسری راهیاب (PathFinder) به صورت موازی و بر پایه معماری پردازنده‌های چند هسته‌ای ارائه شده است. نتایج آزمایش‌های انجام شده نشان می‌دهد که زمان اجرای حالت دو نخه نسبت به تک نخه 47.8% و حالت چهارنخه نسبت به حالت تک نخه به نسبت 70.9% کاهش می‌یابد بدون اینکه هیچ افت کیفیتی وجود داشته باشد.

کلمات کلیدی:

الگوریتم راهیاب، الگوریتم‌های موازی، سیستم‌های چند هسته‌ای

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/153900>

