

عنوان مقاله:

معرفی یک تنظیم کننده ولتاژ افت_کم با کنترل تطبیقی ترانزیستور عبوری

محل انتشار:

پنجمین کنفرانس ملی مهندسی برق و الکترونیک ایران (سال: 1392)

تعداد صفحات اصل مقاله: 6

نویسندگان:

فریما قراغان آبادی - دانشگاه گیلان

علیرضا صابركاری - دانشگاه گیلان

خلاصه مقاله:

در این مقاله یک تنظیم کننده ولتاژ افت کم LDO بدون خازن خروجی و با جریان خاموشی پایین معرفی شده است تکنیک پیشنهادی به تنظیم کننده اجازه میدهد که باتوجه به جریان بار بین دوساختار دوطبقه و سه طبقه تغییر وضعیت دهد این تکنیک منجر به مصرف توان بسیار کمتری میشود تنظیم کننده ولتاژ افت کم پیشنهادی با استفاده از تکنولوژی CMOS TSMC $0.35\mu\text{m}$ با استفاده از نرم افزار HSPICE طراحی و شبیه سازی شده است نتایج حاصل از شبیه سازی جریان خاموشی $7.5\mu\text{A}$ را در حالت بی باری نشان میدهد و به ازای ولتاژ تغذیه 3V ولت در ورودی 2/8V در خروجی داریم تنظیم کننده ولتاژ افت کم پیشنهادی به ازای خازن بار 100pf و در محدوده جریان بار 0 تا 100mA پایدار است میدان تغییر ولتاژ خروجی به ازای تغییر جریان بار از 0 به 300mA، 100mA است که حداکثر در مدت $6/5\mu\text{A}$ رخ میدهد

کلمات کلیدی:

تنظیم کننده ولتاژ با افت کم LDO، جریان خاموشی، مدیریت توان، ترانزیستور عبوری

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/219394>

