سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی و شبیه سازی تمام جماعت کننده تک بیتی با توان پایین با تکنیک جدیدی بر مبنای ترانزیستور عبوری

محل انتشار:
اولین کنفرانس ملی مهندسی برق اصفهان (سال: 1391)

تعداد صفحات اصل مقاله: 6

نویسندگان:
محسن صادقی - *دانشجوی کارشناسی ارشد گروه مهندسی برق موسسه آموزش عالی سجاد*

عارف وکیلی - *دانشجوی کارشناسی ارشد گروه مهندسی برق موسسه موسسه سجاد*

عباس گل مکانی - *عضو هیئت علمی گروه مهندسی برق موسسه موسسه سجاد*

خلاصه مقاله:
این مقاله به طراحی یک تمام جمع کننده با توان پایین که مبنای آن تکنولوژی CMOS از می‌پردازد. مزیت آن این طراحی تاخیر انتشار کمان به همراه توان مصرفی پایین است که منجر به دست یافتن به PDP چین شده است. نتایج به‌دست‌آمده از این طرح با تکنیک‌هایی که اخیراً مورد مطالعه و بررسی قرار گرفته و مقایسه شده که به طور چشمگیری را نشان می‌دهد. در طراحی انجام شده هیچ گونه مردان معکوس کننده‌ای استفاده نشده که این خود منجر به کاهش تاخیر انتشار گردیده است. در مدار پیشنهادی ملاک حداقل ترانزیستور برای رسیدن به توان مصرفی و تفسیر انتشار پایین لحاظ شده است. در این طراحی Sum باعث نزدیک ترانزیستور عبوری و برای پیاده‌سازی Cout از تکنیک اکثر استفاده شده است شبیه‌سازی این طراحی توسط نرم‌افزار HSPICE و تکنولوژی 0/18 um انجام شده است.

کلمات کلیدی:
توان پایین، تاخیر پایین ، ترانزسیتور عبوری ، تابع اکثریت ، PDP-

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/237012