

عنوان مقاله:

مقایسه کارآیی و توان در الگوریتم های مسیریابی روش NoC

محل انتشار:

پانزدهمین کنفرانس مهندسی برق ایران (سال: 1386)

تعداد صفحات اصل مقاله: 7

نویسندگان:

مهديه نادی سنجانی - دانشگاه آزاد اسلامی واحد اراک

مهديار حسين قدیری - دانشگاه آزاد اسلامی واحد اراک

محمدتقی منظوری شلمانی - دانشگاه صنعتی شریف

خلاصه مقاله:

شبکه های روی تراشه به عنوان جایگزین مناسبی برای روش سیم بندی در رسیدن به کارایی بالا و طراحی پیمانه ای می باشد. بهینگی در مصرف توان یکی از نگرانی های طراحی NOC ها است. الگوریتم های مسیریابی روی توان، تاخیر و مساحت تراشه تاثیر به سزایی دارند. در این مقاله یک مدل سخت افزاری دقیق از یک NOC مبتنی بر مش که با VHDL پیاده سازی شده است، ارائه گردیده و تاخیر الگوریتم های مسیریابی مختلف در آن از طریق شبیه سازی اندازه گیری شده است. همچنین الگوریتم های مورد نظر بر روی FPGA پیاده سازی شده اند تا بتوان ، مساحت و دمای ناشی از پیاده سازی هر الگوریتم را بدست آورد. بررسی های انجام شده نشان داد که الگوریتم گام مثبت بیشترین توان مصرفی و کمترین تاخیر را داراست. در حالی که الگوریتم اول – غرب کمترین توان مصرفی را دارد.

کلمات کلیدی:

الگوریتم های مسیریابی ، تاخیر ، توان ، شبکه روی تراشه ، مساحا

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/25356>

