سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
بررسی روشهای کاهش تاخیر دسترسی به حافظه اصلی در چند هسته ای های مبتنی برشبکه برروی تراشه

محل انتشار:
همایش ملی مهندسی رایانه و مدیریت فناوری اطلاعات (سال: 1393)

تعداد صفحات اصل مقاله: 7

نویسنده:
بهاره جعفری - *دانشجوی کارشناسی ارشد معماری کامپیوتر دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران*

خلاصه مقاله:
برای دسترسی به کارایی بالا با ظهور تکنولوژی چند هسته ای ها تعداد هسته ها افزایش پیدا می کند اما افزایش تعداد هسته هادر شبکه منجر به دسترسی هایی به حافظه اصلی میشود که این دسترسی خود باعث ایجاد تاخیر در شبکه خواهد شد. امابهبود این تاخیر باید با مراقبت انجام شود که منجر به افزایش تاخیر در دسترسی به منابع مشترک دیگر در شبکه نگردد. تاخیرخود شبکه بین مبدا ومقصد برابر است با مجموع تعداد مسیریاب ها و ارتباط ها (به عنوان مثال تعداد گام دو) است. در واقعهدف اصلی متوازن ساختن تاخیردسترسی های حافظه اصلی بوسیله یک برنامه در فاز اجرا می باشد. دو ایده اصلی مطرح شدهعبارت است از ایده اول ، اولویت گذاشتن روی پیام های پاسخ در یک دوره زمانی مشخص شده و رسیدن به یک الگوی یکپارچهاز تاخیر دسترسی به حافظه و ایده دوم اولویت گذاشتن روی پیام های تقاضا که مقصد آنها بانک های حافظه بیکار می باشدنسبت به پیامهایی که مقصد آنها بانکهای حافظه دیگر است با هدف بهبود کارایی و ممانعت از ایجاد صف های طولانی برخی ازبانک ها .استفاده از این دو ایده با هم منجربه بهینه شدن تاخیر دسترسی به حافظه بصورت یکپارچه می گردد.

کلمات کلیدی:
چند هسته ای ها ،مسیریاب ،حافظه اصلی وشبکه بر تراشه

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/282639