سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی و شبیه سازی مبدل های آنالوگ به دیجیتال پایپ لاین با دقت و سرعت بالا و توان مصرفی پایین

محل انتشار:
اولین همایش ملی مهندسی برق و کامپیوتر در شمال کشور (سال: 1393)

تعداد صفحات اصل مقاله: 15

نویسندگان:
حبیبه فخرایی - *مدرس دانشگاه وعضوهیئت علمی دانشگاه آزاد اسلامی بندردیر*

علی منفرد - *مدرس دانشگاه آزاد اسلامی بندر دیر*

خلاصه مقاله:
در این مقاله روش نوینی در بهینه سازی مبدل های آنالوگ به دیجیتال پر سرعت با دقت بالا با هدف کاهش توان مصرفی آنها ارایه می شود. بر اساس روشی بهینه در تعیین زمان های نشست سیگنال کوچک و سیگنال بزرگ، جریان مصرفی آپ امپ های دو طبقه با جبرانسازی میلری کمینه می شود و رابطه ای بسته بر حسب پارامترهای اصلی آپ امپ، برای جریان مصرفی بهینه ی آن بدست می آید. جبرانسازی کسکود به عنوان روشی برتربرای تقویت کننده ی کلاس AB که کا ربرد مناسبی در آپ امپ های به کار رفته در مبدل های پایپ لاین ولتاژ پایین با دقت بالا دارد ارایه می شود.روش طراحی پیشنهاد شده در فرآیند ساخت CMOS 0.18 µm که از منبع تغذیه ی 1.2V تنها 38mW توان مصرف می کنددرسطح سیستمی ومداری طراحی و شبیه سازی شد. مهمترین کاربردهای مبدل های آنالوگ به دیجیتال پایپ لاین 12بیت با فرکانس نمونه برداری 40MS/s و SNR بالا در دوربینهای دیجیتال، سیستم های تصویر برداری پزشکی، ابزار دقیق و سیستم های مخابراتی نظیر Wi-Fi چند آنتنه است.

کلمات کلیدی:
مبدل A ، D پایپ لاین ،جبرانساز کسکود،سرعت بالا

لینک ثابت مقاله در پایگاه سیویلیکا:

https://civilica.com/doc/330372