سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
آنالیز ولتاژ سد آستانه در مسفت ها و بررسی اثر کاهش سد درین

محل انتشار:
اولین کنگره سراسری فناوریهای نوین ایران با هدف دستیابی به توسعه پایدار (سال: 1393)

تعداد صفحات اصل مقاله: 6

نویسندگان:
احمدرضا رمضانپور - *دانشجوی کارشناسی ارشد الکترونیک،دانشگاه آزاد اسلامی واحد فسا،فسا،ایران*

محسن معصومی - *عضو هیئت علمی گروه برق و الکترونیک،دانشگاه آزاد اسلامی واحد جهرم،جهرم، ایران*

خلاصه مقاله:
با اعمال ولتاژ درین ، و همزمان با تشکیل یک ناحیه وارون زیر گیت ، تغییراتی در طول کانال یوجود آمده که منجر به کاهش شیب منحنی سطح درین می شود که به آن اثرات کاهش سد درین یا DIBL میگویند. مدل تحلیلی ولتاژ آستانه را برای قطعه کانالکوتاه به نسبت L/a ترکیب میکند. ND 3 شدت ناخالصی کانال که حاصل اعمال ولتاژ VDS4 می باشد، پایهای برای طراحی مدارات و قطعات کانال کوتاهمیاست.این خاصیت باعث وابستگی ولتاژ آستانه به ولتاژ درین سورس می شود. این مدل همچنین شامل معادله پواسون دوبعدی میباشد تا اثرات کاهش سد درین، در قسمت درین را به درستی و با دقت بیشتری تعریف کند.

کلمات کلیدی:
کاهش سد درین ، ولتاژ آستانه، مسفت ، شدت ناخالصی کانال، طول کانال

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/345392