سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
توسعه های پیشنهادی به VHDL برای مدلسازی در سطح سیستم

محل انتشار:
اولین همایش ملی الکترونیکی پیشرفت های تکنولوژی در مهندسی برق، الکترونیک و کامپیوتر (سال: 1393)

تعداد صفحات اصل مقاله: 7

نویسنده:
نگین السادات نعمت الهی زاده ماهانی - *دانشگاه شهید باهنر کرمان، مجتمع آموزش عالی زرند، بخش مهندسی کامپیوتر*

خلاصه مقاله:
به همراه پیچیده تر شدن سیستم های الکترونیکی طراحان سیستم زبان های طراحی ای را با سطح بالایی از تجرید برای مدل سازی سیستم های امروزی به بازار داده اند. به منظور به دست آوردن مزایای طراحی سطح بالا، زبان های توصیف سخت افزاری مختلفی بر اساس کاربرد، مقبولیت و قدرت به وجود آمده اند. تمرکز این زبان ها باید بر روی عناصری باشد که با کانال های ارتباطی به یکدیگر متصل شده اند. به علاوه زبان هایی که برای توصیف سطح سیستم مورد استفاده قرار می گیرند بایستی به راحتی قادر به ارتباط با زبان های نرم افزاری باشند تا طراحان بتوانند طراحی های پیچیده ی سیستم های سخت افزاری/نرم افزاری را در یک محیط انجام دهند. طراحان به صورت گسترده ای از VHDL برای مدل سازی سطح بالا استفاده می کنند. گر چه دامنه ی کار آن ها به علت فقدان ویژگی های زبانی برای مدل سازی شئ گرا ، عمومیت ، ارتباط و هم زمانی مجرد محدود شده است. در این مقاله توسعه های پیشنهادی در زمینه گسترش VHDL به منظور پوشش مدل سازی های سطح بالا را به طور خلاصه و با ذکر مثال شرح می دهیم. پروژه ی SUAVE، زبان VHDL را با پذیرفتن ویژگی های عمومیت و شئ گرایی از Ada95 و اضافه کردن شکل های مجردتری از هم زمانی و ارتباط نسبت به نمونه های موجود در زبان، توسعه می بخشد. این توسعه ها پوشش مدل سازی در VHDL را از سطح گیتی به سطح سیستمی بهبود بخشیده اند.

کلمات کلیدی:
توسعه ی VHDL، طراحی سخت افزار، سطح سیستم

لینک ثابت مقاله در پایگاه سیویلیکا:

https://civilica.com/doc/362377