سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
آنالیز یک مدل DIBL و بررسی ولتاژ سد آستانه در مسفت ها

محل انتشار:
دومین همایش ملی پژوهش های کاربردی در برق، مکانیک و مکاترونیک (سال: 1393)

تعداد صفحات اصل مقاله: 5

نویسندگان:
احمد رضا رمضانپور - *دانشجوی کارشناسی ارشد الکترونیک،دانشگاه آزاد اسلامی واحد فسا، ایران*

محسن معصومی - *عضو هیئت علمی گروه برق و الکترونیک، دانشگاه آزاد اسلامی واحد جهرم، ایران*

خلاصه مقاله:
دراین مقاله به بررسی اثر کاهش سد درین یا DIBL (Drain induced barrier lowering) درمسفت ها پرداخته شده است. مدل تحلیلی ولتاژ آستانه را برای قطعه کانال کوتاه به نسبتL/a ترکیب می کند. به درین ولتآژ VDS اعمال کرده و ND(شدت ناخالص کانال) تشکیل می گردد که پایه ای برای طراحی مدارات و قطعات کانال کوتاه می باشد. این خاصیت باعث وابستگی ولتآژ آستانه به ولتاژ درین سورس می شود. این مدل همچنین شامل معادله پواسون دو بعدی می باشد تا اثرات DIBL درقسمت درین را به درستی و بادقت بیشتری تعریف کند. مدل DIBL در قطعات MOS برای درک اثر DIBL و ادوات CMOSکانال کوتاه بسط داده شده است.

کلمات کلیدی:
مسفت، ولتاژآستانه، کاهش سد درین، کانال کوتاه، DIBL

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/387249