سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی و بهینه سازی فلیپ فلاپ فعال شونده با پالس با توان مصرفی کم و سرعت بالا جهت استفاده در TDC

محل انتشار:
کنفرانس ملی فن آوری، انرژی و داده با رویکرد مهندسی برق و کامپیوتر (سال: 1394)

تعداد صفحات اصل مقاله: 7

نویسندگان:
بهاره بهزادی - *دانشجوی کارشناسی ارشد الکترونیک دانشگاه کاشان*

حسین کریمیان - *هیئت علمی دانشکده برق و کامپیوتر دانشگاه کاشان*

خلاصه مقاله:
امروزه مبدلهای زمان به دیجیتال به دلیل دقت و سرعت بالای آنها و برطرف کردن مشکلات حوزه آنالوگ، مورد توجه ویژه ای قرار گرفته اند. در این مقاله فلیپ فلاپ بهینه شده جهت استفاده داخل ساختار - TDC پیشنهاد شده است. این فلیپ فلاپ فعال شونده با پالس قادر به - clock gating میباشد و توان مصرفی کمتر و سرعت بیشتری نسبت به سایر فلیپ فلاپهای مشابه خود دارد. با توجه به اینکه در فلیپ فلاپ پیشنهاد شده مدار جداگانهای تولید پالس ساعت را انجام میدهد، میتوان مدار مولد پالس را به صورت اشتراکی بین چندین لچ استفاده کرد، که کاهش بیشتر توان مصرفی را در پی دارد. کلیه شبیه سازیهای مربوط به TDC 23 بیتی توسط نرم افزار HSPICE با فناوری 90nm CMOS انجام شده است که نتایج حاصل شده نشان میدهد مبدلی که از فلیپ- فلاپ پیشنهادی در ساختار آن استفاده شده نسبت به مبدلی که از فلیپ فلاپ دیگری داخل ساختار آن استفاده شده، دارای 14/8درصد بهبود درکاهش توان مصرفی و12/3درصد بهبود درمقدار PDP حاصل ضرب توان و تاخیر میباشد

کلمات کلیدی:
فلیپ فلاپ، لچ، مبدل تاخیر به دیجیتال - (TDC) ، مبدل آنالوگ به دیجیتال ADC

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/396187