

عنوان مقاله:

طراحی کارآمد مدار جمعکننده برگشتپذیر با قابلیت پرش رقم نقلی اعداد BCD تحمل پذیر خطا

محل انتشار:

کنفرانس ملی فن آوری و داده با رویکرد مهندسی برق و کامپیوتر (سال: 1394)

تعداد صفحات اصل مقاله: 8

نویسندگان:

سیده مهسا حسینی - دانشگاه بین المللی امام رضا (ع)

منیره هوشمندکفائیان - دانشگاه بین المللی امام رضا (ع)

خلاصه مقاله:

منطق برگشتپذیر به عنوان حوزهی مهم پژوهشی در زمینههای مختلف از جمله طراحی - CMOS توان پایین، پردازش سیگنال دیجیتال، رمزنگاری، محاسبات کوانتومی و پردازش اطلاعات نوری در حال ظهور است. محاسبات برگشتپذیر بدون حضور مدارهای برگشتپذیر غیرممکن است. این مقاله یک مدار جمعکننده با قابلیت پرش رقم نقلی اعداد BCD ارائه داده است. این مدار برگشتپذیر دارای خاصیت حفظ توازن ارائه شده، تأخیر موجود در محاسبه حامل خروجی مدار تمام جمعکننده پله ای را کاهش میدهد. مدار پیشنهادی به دلیل استفاده از دروازههای دارای حفظ توازن تحملپذیر خطا بوده و قابلیت شناسایی خطاها در یکسیگنال را دارد. مدار طراحی شده از لحاظ تعداد دروازه استفاده شده، ورودیهای ثابت، خروجیهای زباله و هزینه کوانتومی نسبت به مدارهای طراحی شده به میزان 1.11 درصد و 55.55 درصد و 45.16 درصد و 25.19 درصد پیشین بهبود یافته است

کلمات کلیدی:

برگشتپذیر، جمعکننده، حفظ توازن، تحملپذیر خطا، جمعکننده - BCD

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/396515>

