

عنوان مقاله:

یک مدار S/H تمام تفاضلی با خطای نکه داری پایین و مصرف توان بسیار کم

محل انتشار:

کنفرانس بین المللی مهندسی برق و علوم کامپیوتر (سال: 1394)

تعداد صفحات اصل مقاله: 7

نویسندگان:

سید رحمت اله اسحاقی - کارشناس دانشکده مهندسی برق دانشگاه آزاد اسلامی نجف آباد ایران

مهدی دولتشاهی - استادیار دانشکده مهندسی برق دانشگاه آزاد اسلامی نجف آباد ایران

خلاصه مقاله:

یک روش جدید برای درک یک مدار S/H تمام تفاضلی توان پایین ولتاژ پایین و با سرعت بالا با استفاده از CMOS و با خطای نگهداری پایین در این مقاله ارائه شده است برای بدست آوردن نرخ نمونه برداری خطی بالا مدار از سوئیچی ها ورودی بوت استرپ بهبود یافته استفاده می کند به علاوه ساختار بوت استرپ باعث میشود که خطای نمونه برداری و نگهداری و همچنین خطاهای درون خور ساعت و گام نگهداری به میزان چشم گیری کاهش یابد طراحی تمام تفاضلی رابطه ی بین سرعت نمونه برداری و دقت نمونه برداری کاهش میدهد طراحی مداری بلوک های بزرگ و اصلی ساختار بطور جزئی توضیح داده شده است درگام اول یک مدار اولیه با استفاده از فرایند CMOS 0.18uW ساخته و شبیه سازی شده است در مرحله بعدی به کمک یک تقویت کننده عملیاتی دوطبقه CMOS جبران ساز هیبرید کسکود ساختار تکمیل یافته ی اولیه بصورت یک ساختار تمام تفاضلی ارائه و نتایج شبیه سازی آن بررسی شده است صفروقطب های مدار آپ امپ استفاده شده 40 درصد بزرگتر از جبران ساز کسکود موسوم است که مزایای استفاده از آن در ادامه توضیح داده شده است

کلمات کلیدی:

نمونه بردار و نگهدار ، توان مصرفی پایین ، مدارات آنالوگ CMOS

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/403165>

