سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
پیاده سازی زمان واقعی آشکار ساز لبه Cannyروی FPGA و نمایش آن روی LCD گرافیکی

محل انتشار:
همایش یافته های نوین در هوافضا و علوم وابسته (سال: 1394)

تعداد صفحات اصل مقاله: 12

نویسندگان:
دانیال یاسمی - *دانشجوی کارشناسی ارشد مهندسی برق*

سیاوش امین نژاد - *استادیار گروه مهندسی برق دانشگاه گیلان*

سید فرخ رضوی دریاسری - *کارشناسی ارشد مهندسی برق،دانشگاه گیلان*

خلاصه مقاله:
پردازش تصویر و ویدئو به صورت زمان واقعی در طیف گسترده ای از برنامه های کاربردی از قبیل دوربین های مداربسته، مدیریت ترافیک و عکس برداری پزشکی مورد استفاده قرار می گیرد. تشخیص لبه یکی از مراحل کلیدی در پردازش تصویر و شناسایی شیء می باشد. روش های زیادی برای آشکارسازی لبه تصاویر وجود دارد. آشکار ساز لبه Canny به علت کارایی خود و تشخیص لبه در تصاویر نویزی ، به طور گسترده به عنوان الگوریتم تشخیص لبه استفاده شده است. در این مقاله، ساده سازی الگوریتم به منظور کاهش پیچیدگی ریاضی، حافظه مورد نیاز و تأخیر، بدون از دست دادن قابلیت اطمینان برای پیاده سازی بهینه روی FPGA به کار برده می شود. این طرح بر روی تراشه، EP3C25F324C6 از خانواده Altera در نرم افزار Quartus 13.0 پیاده سازی و سنتز شده است. این معماری تصاویر با وضوح 720 * 244 را با سرعت 30 فریم برثانیه فقط با حجم سخت افزار مصرفی 1178 LEs و توان مصرفی 118mw پردازش می کند. حجم سخت افزار سیستم زمان واقعی آشکارساز لبه Canny برابر با 23993 LEs و توان مصرفی آن 67می باشد. همچنین، نتایج معماری ارائه شده از نظر مصرف توان و حفظ عملکرد قابل اطمینان با تصاویر نویزی، تأخیر و حافظه مورد نیاز کم را به وضوح نشان می دهد.

کلمات کلیدی:
آشکار ساز لبه،الگوریتم Canny، سیستم های زمان واقعی، FPGA

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/441517