سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
یک روش تحلیلی درج بافر با هدف کاهش توان مصرفی بافرها در مدارهای مجتمع

محل انتشار:
دوازدهمین کنفرانس سالانه انجمن کامپیوتر ایران (سال: 1385)

تعداد صفحات اصل مقاله: 7

نویسندگان:
حمیدرضا خیرآبادی - *آزمایشگاه CAD-VLSI، دانشکده مهندسی کامپیوتر و فناوری اطلاعات، دانشگاه صنع*

مرتضی صاحب الزمانی - *عضو هیات علمی دانشکده مهندسی کامپیوتر و فناوری اطلاعات، دانشگاه صنعت*

خلاصه مقاله:
از بافرها برا ی کاهش تأخیر مسیرهای بحرانی استفاده می شود. با پیشرفت تکنولوژی به نانومتر، تأخیر اتصالات بخش مهمی از تأخیر مدارهای مجتمع شده است و تعداد بافرهای درج شده به شدت در حال افزایش است. تعداد بسیار زیاد بافرها دارای اثرات جانبی مثل افزایش توان مصرفی تراشه و افزایش مساحت آن اس ت. در الگوریتم های درج بافر قبلی، یا به مصرف توان توجه نشده است و صرفاً جنبهٔ کاهش تأخیر آن مد نظر بوده است و یا ا لگوریتم مورد استفاده مبتنی بر مسیر نیست که در این صورت به دلیل تمرکز بر روی یک نت، نمی تواند توان مصرفی بافرها را به درستی کاهش دهد. در این مقاله، یک روش تحلیلی مبتنی بر مسیر برای درج بافر ارائه شده و بوسیلهٔ مدارهای نمونهٔISCAS آزمایش شده است. نتایج آزمایش ها حاکی از کاهش 69/ 46 درصدی توان مصرفی بافرها در عین رعایت محدودیت های زمانی مدار است.

کلمات کلیدی:
درج بافر، کاهش توان مصرفی، مدارهای مجتمع

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/44659