سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی یک مدار تمام جمع کننده با مصرف توان پایین برای تکنولوژی ولتاژ زیرآستانه

محل انتشار:
هفتمین کنفرانس ملی مهندسی برق و الکترونیک ایران (سال: 1394)

تعداد صفحات اصل مقاله: 8

نویسندگان:
ابراهیم پاک نیت - *گروه مهندسی برق دانشگاه بین المللی امام رضا (ع) مشهد مقدس، ایران*

سیدرضا طالبیان - *گروه مهندسی برق دانشگاه بین المللی امام رضا (ع) مشهد مقدس، ایران*

میلاد جلالیان عباسی مراد - *گروه مهندسی برق دانشگاه بین المللی امام رضا (ع) مشهد مقدس، ایران*

خلاصه مقاله:
در این مقاله یک ساختار جدید تمام جمع کننده ی تک بیتی با مصرف توان پایین برای تکنولوژی ولتاژ زیرآستانه ارائه شده است. مدارهای موجود برای بلوک های تمام جمع کننده بررسی و همچنین تمام جمع کننده ی پیشنهادی با تمام جمع کننده های رایج از نظر تأخیر انتشار، مصرف توان، PDP و DP2P در تکنولوژی ولتاژ زیر آستانه مقایسه شده است. نتایج شبیه سازی نرم افزار HSPICE نشان می دهد که تمام جمع کننده ی پیشنهادی با 17 ترانزیستور، نسبت به تمام جمع کننده ی SRCPL ، که ساختار برتر تمام جمع کننده های رایج می باشد، در مقدار 6.68% PDP در مقدار P2DP17.128 و حدود 12 % در مصرف توان، بهبود یافته است. مقایسه ساختارهای تمام جمع کننده در منبع ولتاژ mV260 انجام شده است.

کلمات کلیدی:
تمام جمع کننده ی تک بیتی، تکنولوژی ولتاژ زیر آستانه، توان مصرفی، تأخیر انتشار، مصرف توان نشتی

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/459149