سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی وشبیه سازی تمام جمع کننده یک بیتی توان پایین در تکنولوژی CMOS زیر میکرون

محل انتشار:
هفتمین کنفرانس ملی مهندسی برق و الکترونیک ایران (سال: 1394)

تعداد صفحات اصل مقاله: 7

نویسندگان:
منیر برقی کار - *دانشگاه آزاد اسلامی واحد یزد، گروه مهندسی برق یزد، ایران*

مریم نیری - *دانشگاه آزاد اسلامی واحد یزد، عضو هیئت علمی گروه مهندسی برق یزد، ایران*

مجید پوراحمدی - *دانشگاه آزاد اسلامی واحد یزد، عضو هیئت علمی گروه مهندسی برق یزد، ایران*

خلاصه مقاله:
جمع در واقع یک عملیات محاسباتی پایه است که به طور گسترده در بسیاری از سیستم های مجتمع سازی گسترده (VLSI) مثل پردازش سیگنال دیجیتالی ویژه کاربرد (DSP) و ریزپردازنده ها مورد استفاده قرار می گیرد. یک جمع کننده در اغلب آن سیستم ها، کل عملکرد مدارها را تعیین می کند. در این مقاله یک سلول جدید جمع کننده 1-بیتی پیشنهاد می کنیم که فقط از هشت ترانزیستور استفاده می کند. در این طرح، برای به حداقل رساندن تعداد ترانزیستور و کاهش توان مصرفی از سه تسهیم کننده و یک مبدل استفاده می شود. اتلاف توان، تأخیر پخش و حاصلضرب تأخیر در توانی که به واسطه این طرح جدید تولید شدند با استفاده از شبیه سازی HSPICE با طرح های دیگر مورد مقایسه و آنالیز قرار می گیرند. نتایج نشان می دهند که این جمع کننده پیشنهادی هم مصرف توانی کمتر و هم مقدار حاصلضرب تأخیر در پایینتری دارد. توان کم و تعداد ترانزیستور کم در این توان (PDP)سلول جمع کننده جدید 8T باعث شدند که استفاده از آن برای کاربردهای با توان موثر و کارآمد گزینه خوبی باشد.

کلمات کلیدی:
سیستم های مجتمع سازی گسترده (VLSI)، پردازش سیگنال دیجیتالی ، حاصلضرب تأخیر در توان (PDP)

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/459363