

عنوان مقاله:

بررسی و تعیین نقش عایق سطح بندی شده و نامتقارن ترکیبی بین گیت و بدنه بر توان نشتی در ترانزیستورهای MOS کانال کوتاه

محل انتشار:

سومین کنفرانس بین المللی پژوهشهای کاربردی در مهندسی کامپیوتر و فن آوری اطلاعات (سال: 1394)

تعداد صفحات اصل مقاله: 15

نویسندگان:

شاپور گلبهار حقیقی - استادیار دانشکده مهندسی برق و کامپیوتر دانشگاه شیراز و استاد مدعو دانشگاه آزاد اسلامی واحد سپیدان

خداداد خالق پناه - دانشجوی کاشناسی ارشد رشته مهندسی برق الکترونیک دانشگاه آزاد اسلامی واحد سپیدان

خلاصه مقاله:

در این مقاله منابع توان نشتی شامل جریانهای نشتی بررسی و اثر مواد دی الکتریک روی آنها شبیه سازی گردیده است و در این راستا روشهای کاهش توان نشتی گیت با استفاده از عایق و ماد دی الکتریک بصورت متقارن بشک استک و پشته همچنین بصورت سطح بندی شده و غیر قابل متقارن تحلیل و مقایسه شدهاست استفاده از عایق ترکیبی بصورت سطح بندی و نامتقارن منجر به بهبود عملکرد دیوایس از نظر کاهش توان نشتی گردیدهاست.

کلمات کلیدی:

لاتین MOS ، NMOS ، HSPICE ، GIDL ، SiO_2 توان نشتی؛ جریان نشتی

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/466895>

