سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی و شبیه سازی جمع کننده چند ارزشی با استفاده از گیت های چند ارزشی

محل انتشار:
سومین کنفرانس ملی و اولین کنفرانس بین المللی پژوهش هایی کاربردی در مهندسی برق، مکانیک و مکاترونیک (سال: 1394)

تعداد صفحات اصل مقاله: 10

نویسندگان:
محمدحسن اعتصامی - *دانشجوی کارشناسی ارشد الکترونیک، دانشگاه شهید چمران اهواز*

ابراهیم فرشیدی - *دکترای الکترونیک، دانشگاه شهید چمران اهواز*

خلاصه مقاله:
مدارات دیجیتال منطق چند ارزشی با افزایش تعداد سطوح ارزش های منطقی از دو سطح (r=2) به بیش از دو سطح (r>2) طراحی می شوند. هدف اصلی از طراحی مدارات در حوزه چند ارزشی کاهش سطح چیپ، کاهش اتصالات داخلی و همچنین افزایش سرعت پردازش اطلاعات می باشد. به همین منظور در این مقاله با استفاده از گیت های چند ارزشی به طراحی و شبیه سازی یک جمع کننده چند ارزشی چهارتایی (r=4) پرداخته شده است. همچنین با توجه به مزایای مد ولتاژ نسبت به مد جریان تمام طراحی ها در مد ولتاژ صورت گرفته است. لازم به ذکر است که شبیه سازی های صورت گرفته در این مقاله با تکنولوژی CMOS4 0.35um و با استفاده از نرم افزار HSPICE انجام شده اند.

کلمات کلیدی:
مدارات دیجیتال، منطق چند ارزشی، اتصالات داخلی، گیت های چند ارزشی، جمع کننده چند ارزشی

لینک ثابت مقاله در پایگاه سیویلیکا:

https://civilica.com/doc/479188