

عنوان مقاله:

طراحی مدار حلقه فاز (PLL) با حداکثر سرعت قفل شونددگی در منطق CMOS 0.18um

محل انتشار:

سومین کنفرانس ملی و اولین کنفرانس بین المللی پژوهش هایی کاربردی در مهندسی برق، مکانیک و مکاترونیک (سال: 1394)

تعداد صفحات اصل مقاله: 9

نویسندگان:

الهه علیزاده - دانشکده فنی و مهندسی برق - الکترونیک، دانشگاه آزاد اسلامی اراک

محمدباقر توکلی - دانشکده فنی و مهندسی برق - الکترونیک، دانشگاه آزاد اسلامی اراک

خلاصه مقاله:

مدار PLL طراحی شده در این مقاله، با استفاده از آشکارساز فاز و فرکانس Lead & Lag و نوسان ساز کنترل شده با ولتاژ پوش پول کلاس C با سلف فعال انجام شده است. شبیه سازی در تکنولوژی 0.18um منطق CMOS و با استفاده از نرم افزار ADS صورت پذیرفت. نتایج حاصله از مدار مذکور؛ از نقطه نظر توان مصرفی (2.9mw) و سرعت قفل شونددگی حلقه (120.6ns)، بهبود نسبی نسبت به مدارات قبلی پیدا کرده است، و این امر به سبب بهره گیری از مداراتی با تعداد کمتر ادوات MOS و مدار اسیلاتور Low-noise تحقق یافته است.

کلمات کلیدی:

حلقه قفل فاز (PLL) و CMOS، آشکارساز فاز و فرکانس (PFD)، پمپ بار (CP)، اسیلاتور کنترل شده با ولتاژ (VCO)، زمان قفل

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/479472>

