سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی کنترلر منطق فازی برنامه پذیر مد جریان در پروسه 0.35µm تکنولوژی CMOS

محل انتشار:
اولین کنفرانس بین المللی دستاوردهای نوین پژوهشی در مهندسی برق و کامپیوتر (سال: 1395)

تعداد صفحات اصل مقاله: 9

نویسندگان:
محمد نظرعلیلو - *گروه برق، دانشکده فنی و مهندسی، دانشگاه ارومیه، ارومیه، ایران*

مرتضی فرسادی - *گروه برق، دانشکده فنی و مهندسی، دانشگاه ارومیه، ارومیه، ایران*

خلاصه مقاله:
در این مقاله یک کنترلر فازی CMOS آنالوگ جدید، کم توان و قابل حمل با ورودی Mixed-Signal و خروجیآنالوگ ارائه می شود. در این کنترلر سعی بر این شده است که تا حد امکان توان مصرفی و سطح اشغالی تراشه کم باشد وسرعت و دقت نیز در حد بالا و قابل قبولی باشند. برای پیادهسازی این ایده از یک مدار فازیساز با ورودی Mixed- Signal استفاده شده و برای ترکیب Antecedent ها جهت استفاده در بخش Interface Engine، یک مدار ماکزیمم گیر و یک مدار مینیمم گیر ارائه شده است. در بلوک Defuzzifier یک مدار جدید و بهبود یافته با سطح اشغالی و توان مصرفی پایین ارائه شده است. در نهایت شبیه سازی سیستماتیک کنترلر طراحی شده با استفاده از نرم افزار MATLAB و شبیه سازی مداری با استفاده از نرم افزار Hspice در پروسه استاندارد 0.35um تکنولوژی CMOS انجام گرفته است. تاخیر کلی سیستم در حدود 70ns برای کنترلر طراحی شده میباشد که سرعت 14/3 استنتاج فازی (MFLIPS) را نتیجه میدهد. کل توان تلفاتی کنترلر فازی طراحی شده کمتر از 2/54mW می باشد که نشان دهنده توان مصرفی پایین کنترلر طراحی شده است.

کلمات کلیدی:
منطق فازی، کنترلر فازی، تکنولوژی CMOS

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/496850