سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
شبیه سازی مصرف توان در رگولاتور افت ولتاژ کم (Dropout) در تکنولوژی 90nm

محل انتشار:
کنفرانس بین المللی مهندسی برق (سال: 1395)

تعداد صفحات اصل مقاله: 14

نویسندگان:
مجتبی منوچهری - *کارشناسی ارشد مهندسی برق دانشگاه آزاد اسلامی واحد فسا*

فرزین امامی - *عضو هیات علمی گروه مهندسی برق دانشگاه صنعتی شیراز*

خلاصه مقاله:
یک مدل طراحی رگولاتور ، با استفاده از تکنیک بایاس دینامیکی مورد بررسی و شبیه سازی قرار می گیرد . مدار افزایش جریان بایاس دینامیکی ، شامل سه قسمت آشکارساز ، تقویت کننده و مدار افزایش بایاس خواهد بود. رگولاتور فوق با استفاده از پروسه CMOS 90 nm، ارائه می شود ونتایج بدست آمده با دیگر فناوری های موجود مورد بررسی قرار می گیرد. کارکرد دیاگرام بدین صورت در نظر گرفته خواهد شد ، به محض اینکه کوچکترین تغییری در ولتاژ خروجی مشاهده گردد ، این تغییرات از طریق گره های Vn و Vp ، به مدار آشکارساز منتقل خواهد شد . مدار آشکارساز این تغییرات را حس می کند و با توجه به نوع آشکارسازی ، خروجی خودش را در وضعیت ولتاژ تغذیه یا زمین نگه می دارد و آن را به ورودی مدار تقویت کننده منتقل خواهد کرد . مدار تقویت کننده ، بصورت یک معکوس کننده عمل خواهد کرد و خروجی آشکارساز را بصورت معکوس در خروجی خودش ظاهر می کند . خروجی مدار تقویت کننده ، به ورودی مدار افزایش بایاس منتقل می شود ، این مدار با افزایش جریان در یک لحظه کوتاه ، باعث افزایش جریان رگولاتور شده و تغییرات ولتاژ خروجی رگولاتور را ، به حالت نرمال بر می گرداند . در رگولاتور مورد بحث ، توان مصرفی را ، با استفاده از روش جریان بایاس دینامیکی تا5mw کاهش دادیم و تا اندازه ای ، پاسخ گذرای خط و بار را بهبود بخشیدیم تکنیک افزایش جریان بایاس دینامیکی در طراحی LDO ،به طور موثر پاسخ انتقال خطی و بار را بهبود می بخشد و باعث می شود ، یک ولتاژ دقیق و موثر در خروجی رگولاتور ، بوجود بیاید و در کاربردهای قابل حمل ، که احتیاج به یک تغذیه دقیق و بدون نویز دارند ، بسیار موثر خواهد بود .

کلمات کلیدی:
افت ولتاژ کم (LDO)، رگولاتور ، بایاس دینامیکی ، آشکارساز سرعت

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/504308