

عنوان مقاله:

طراحی و شبیه سازی جدید برای خانواده CMOS های دینامیک و دومینو

محل انتشار:

اولین کنفرانس ملی رویکردهای نو در مهندسی برق و کامپیوتر (سال: 1395)

تعداد صفحات اصل مقاله: 7

نویسندگان:

مریم امیری - دانشگاه آزاد اسلامی واحد فسا، گروه مهندسی برق

سجاد مشفق - دانشگاه آزاد واحد ارسنجان

کیهان امیری - آموزش پرورش استان

خلاصه مقاله:

در این تحقیق یک تکنیک جدید برای کاهش توان مصرفی مدارهای منطقی دومینو ارائه شد. در مدار پیشنهادی یک بافر استفاده گردید که موجب کاهش توان در مقایسه با منطق دومینو معمولی شد. سپس یک جمع کننده با استفاده از این منطق پیشنهادی طراحی گردید که نتایج حاصل از آن حاکی از توان مصرفی پایین و تأخیر کمتری نسبت به مدارهای جمع کننده قبلی دارد. در شبیه سازی انجام شده از نرم افزار HSpice و تکنولوژی 0/18 میکرومتر استفاده گردید.

کلمات کلیدی:

استاتیک، تمام جمع کننده، منطق دومینو، منطق پویا

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/510259>

