سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
ارائه ی یک معماری جدید برای JTAG براساس منطق دینامیک

محل انتشار:
دومین کنفرانس ملی رویکردهای نوین در مهندسی کامپیوتر و برق (سال: 1395)

تعداد صفحات اصل مقاله: 7

نویسندگان:
بهاره نراقی - *ایران، مرکزی، آشتیان، دانشگاه آزاد اسلامی واحد آشتیان، دانشکده مهندسی کامپیوتر*

غلامرضا کریمی - *ایران، کرمانشاه، دانشگاه رازی، هیئت علمی مهندسی برق الکترونیک،*

خلاصه مقاله:
روشهای متفاوتی برای تست مدارات چند تراشه ای ارائه شده است که یکی از موفق ترین آنها روش تست JTAG یا EEE 1149 می باشد. روش کار در این مقاله به این ترتیب است که ابتدا معماری تست مورد بررسی قرار می گیرد و مدارات داخلی آن استخراج می شود و براساس منطق دینامیک تغییراتی جهت کاهش تاخیر روی باندری اسکن سلول اعمال می شود.

کلمات کلیدی:
باس ، تراشه، تست توان مصرفی ، مدار، IEEE 1149

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/522705