

عنوان مقاله:

طراحی جدید جمع کننده چند عملوندی سریع RNS

محل انتشار:

چهاردهمین کنفرانس مهندسی برق ایران (سال: 1385)

تعداد صفحات اصل مقاله: 6

نویسندگان:

مهدی حسین زاده - واحد علوم و تحقیقات حصارک

سمیه تیمارچی - دانشکده مهندسی برق و کامپیوتر دانشگاه شهید بهشتی

امیرپاشا میربهاء - دانشکده ریاضیات و کامپیوتر دانشگاه سوربن فرانسه

کیوان ناوی - دانشکده مهندسی برق و کامپیوتر دانشگاه شهید بهشتی

خلاصه مقاله:

این مقاله، مدار جمع کننده چند عملوندی سریع را در سیستم اعداد مانده ای (RNS) ارائه نموده است. عمل جمع، یک عمل پایه ای در سیستم اعداد مانده ای بوده و تسریع این عمل موجب افزایش سرعت عملیات تفریق و ضرب می شود. در این مقاله با استفاده از تکنیک های موازی سازی، جمع چند عملوندی و نیز خاصیت هم ارزش بودن برخی خروجی ها و همچنین با استفاده از کمپرسورهای 3-4 و 3-5 بهبود یافته، سرعت عمل جمع در RNS افزایش یافته است. این امر موجب پیاده سازی کارآمدتر این مدارات در VLSI گردیده است.

کلمات کلیدی:

سیستم اعداد مانده ای (RNS)، جمع چند ورودی، کمپرسورهای 3-4 و 3-5، سربار سخت افزاری، VLSI

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/54877>

