سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی تقویت کننده عملیاتی دوطبقه دارای بهره بالا و مصرف توان پایین و تکنیک جبرانسازی میلر بافر جریان

محل انتشار:
کنفرانس توسعه پژوهش های نوین در مهندسی برق و کامپیوتر (سال: 1395)

تعداد صفحات اصل مقاله: 6

نویسندگان:
سارا محمدیان - *دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران*

سیدمحمدعلی زنجانی - *دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران*

مهدی دولتشاهی - *دانشکده مهندسی برق، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف آباد، ایران*

خلاصه مقاله:
در این مقاله دو تقویت کننده عملیاتی دوطبقه کلاسیک در فناوری μm CMOS0.35 با استراتژی بافر جریان طراحی شده است. تقویت کننده عملیاتی اول از نوع توان پایین با بهره حلقه باز 78dB، پهنای باند بهره واحد بهبود یافته 5.82MHz و حاشیه فاز ˚63.9 طراحی شده است. این مدار با ولتاژ 3.3V عملیاتی شده است و ولتاژ آفست آن 61.5μV و توان مصرفی آن 144.3μW است. نرخ چرخش صعود و نزول به ترتیب 7.11 v/μs و 5.58 v/μs و ضریب شایستگی سیگنال کوچک و سیگنال بزرگ به ترتیب برابر با 201 و 219 است که بهبود در پارامتر الکتریکی نرخ چرخش، پهنای باند بهره واحد و آفست و ضریب شایستگی را نسبت به سایر کارها نتیجه می دهد. در مدار دوم، پیشنهاد مدار جبران سازی میلر بافر جریان (CBMC) باعث بهبود در پاسخ زمانی تقویت کننده شده است. زمان نشست 120ns است. مصرف توان مدار جبران میلر بافر جریان 104μw، پهنای باند بهره واحد 6.70MHz و حاشیه فاز˚57 است.

کلمات کلیدی:
تقویت کننده عملیاتی CMOS، جبرانسازی میلر بافر جریان، توان پایین، حاشیه فاز، پهنای باند بهره واحد، ضریب شایساگی

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/572823