

## عنوان مقاله:

طراحی و پیاده سازی فیلتر دیجیتال FIR موازی پرسرعت بر روی FPGA

## محل انتشار:

دومین کنفرانس بین المللی پردازش سیگنال و سیستم های هوشمند (سال: 1395)

تعداد صفحات اصل مقاله: 6

## نویسندگان:

امیررضا محترمی - دانشجوی کارشناسی ارشد الکترونیک، دانشگاه آزاد اسلامی واحد اهر،

بهیود مشعوفی - استادیار گروه الکترونیک، دانشکده فنی دانشگاه ارومیه،

## خلاصه مقاله:

در این مقاله ساختار یک فیلتر FIR دیجیتال پایین گذر 20 پله بر روی FPGA با بکارگیری از تکنیک پردازش موازی، ارایه شده است. برای دو برابر نمودن سرعت کلاک، ساختار مستقیم فیلتر دوبار تکرار و به فیلتر 2- موازی تبدیل شده است. با توجه به ثابت بودن ضرایب فیلتر، برای افزایش سرعت و کاهش حجم فیلتر، از LUT بجای بلوک های ضرب استفاده شده و از خاصیت تقارن ضرایب بهره گرفته شده است. برای ارتقا طراحی از برخی تکنیک های ذخیره سازی اطلاعات استفاده شد و با ادغام دو قسمت موازی، خروجی حاصل گردیده است. نتایج سنتز، سرعت کلاک 753,549 و 894 مگاهرتز و توان مصرف دینامیکی 0,841 وات را نشان می دهد. نتایج شبیه سازی نشان میدهد فیلتر طراحی شده از سرعت بیشتر و حجم سخت افزار کمتری

## کلمات کلیدی:

فیلتر دیجیتال، FIR، پردازش موازی، FPGA

## لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/611716>

