

عنوان مقاله:

طراحی و سنتز واحد محاسبه و منطق 16 بیتی با استفاده از گیت های منطقی برگشت پذیر

محل انتشار:

اولین همایش ملی فن آوری در مهندسی کاربردی (سال: 1395)

تعداد صفحات اصل مقاله: 6

نویسندگان:

معصومه بسطامی - دانشجوی کارشناسی ارشد معماری سیستمهای کامپیوتر دانشگاه آزاد تهران غرب

پیمان بابایی - دپارتمان کامپیوتر، دانشکده فنی و مهندسی، دانشگاه آزاد اسلامی واحد تهران غرب، تهران، ایران

خلاصه مقاله:

این مقاله طراحی ساختارهای گیت منطقی برگشت پذیر قابل برنامه ریزی را توصیف می کند، که به منظور پیاده سازی واحد محاسبه و منطق و استفاده از آن ها در تحقق یک واحد محاسبه و منطق قابل برگشت کارآمد است. با استفاده از گیت های منطقی برگشت پذیر به جای گیت های AND/OR منطقی قدیمی، واحد محاسبه و منطق برگشت پذیری با کاربرد مشابه با واحد محاسبه و منطق قدیمی ساخته می شود. با مقایسه ی تعداد بیت های ورودی و بیت های صرف نظر شده ی واحد محاسبه و منطق قدیمی، واحد محاسبه و منطق برگشت پذیری به طور قابل توجهی مصرف و از دست دادن بیت های اطلاعات را کاهش می دهد. واحد محاسبه و منطق 16 بیتی برگشت پذیر ارائه شده اتلاف و مصرف بیت های اطلاعاتی را با استفاده ی مجدد از بیت های منطقی اطلاعاتی به صورت منطقی کاهش داده و هدف کاهش مصرف توان مدارهای منطقی را محقق می سازد. گیت های منطقی برگشت پذیر قابل برنامه ریزی در Verilog HDL هستند، و نتایج سنتز ارائه شده است.

کلمات کلیدی:

گیت منطقی برگشت پذیر، گیت تفل، واحد محاسبه و منطق برگشت پذیر

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/622447>

