

عنوان مقاله:

ارائه روشی نوین برای کاهش توان مصرفی در مدارهای VLSI

محل انتشار:

دومین همایش ملی مهندسی برق کامپیوتر و فناوری اطلاعات (سال: 1387)

تعداد صفحات اصل مقاله: 6

نویسنده:

محمدعلی سراجچی - عضو هیات علمی دانشگاه آزاد اسلامی سما واحد همدان

خلاصه مقاله:

در سالهای اخیر با پیشرفت تکنولوژی و کوچک شدن ابعاد وسایل الکترونیکی و گسترش مخابرات سیار در جهان، طراحان مدارهای مجتمع بیشتر از قبل به دنبال راههائی جهت کاهش توان مصرفی و افزایش سرعت عملکرد مدارها بوده و در این زمینه نیز موفقیت‌های بسیاری را کسب نموده اند. در این مقاله و در همین راستا و در جهت کاهش توان مصرفی مدارهای مجتمع، دو روش پیشنهادی با بهره گیری از شبکه تاخیر سیگنال ورودی ارائه می شود که در این روشها، ترانزیستور نگهدار، در ابتدای فاز ارزیابی در حالت خاموش قرار گرفته و در نتیجه موجب کاهش توان مصرفی مدار می شوند. روشهای پیشنهادی بر روی گیت‌های NAND و NOR پیاده سازی و توسط نرم افزار Hspice شبیه سازی شده و با مدارهای مشابه طراحی شده با روشهای دیگر مقایسه گردیده است، که این شبیه سازیها، حاکی از کاهش قابل توجه توان مصرفی نسبت به روشهای دیگر است.

کلمات کلیدی:

مدارهای مجتمع، توان مصرفی، ترانزیستور نگهدار

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/63399>

