سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
بالا بردن سرعت الگوریتم مرتب سازی بازگشتی ادغامی با پیاده سازی رفتاری بر روی FPGA

محل انتشار:
کنفرانس بین المللی پژوهش های نوین در مهندسی برق و کامپیوتر و مهندسی پزشکی (سال: 1395)

تعداد صفحات اصل مقاله: 11

نویسنده:
مسعود سنجری پاریزی - *دانشجوی کارشناسی ارشد دانشگاه آزاد اسلامی واحد کرمان*

خلاصه مقاله:
در دنیای امروزی بسیاری از عملیات توسط سیستم های کامپیوتری انجام می گیرد. این عملیات شامل دستوراتی مانند مرتب سازی ، مقایسه و.. می باشند که برای پیاده سازی آن ها روش های مختلفی موجود است یکی از روش های بسیار رایج در این زمینه استفاده از نرم افزار جهت انجام پردازش ها و به دست آوردن نتایج است از طرفی نرم افزارهای موجود نسبت به پیاده سازی های سخت افزاری سرعت نسبتا پایین تری دارند. در نتیجه استفاده از روش های سخت افزاری نسبت به الگوریتم های نرم افزاری از سرعت بالاتری برخوردار است برای ساخت سخت افزارها روش های مختلفی وجود دارد که یکی از این روش ها، استفاده زا زبان های توصیفی سخت افزار است به کار گرفتن این زبان ها علاوه بر سادگی انجام کار، باعث سرعت در انجام فرایند طراحی مدار شده و عملیات تسبت و سنتز را ساده می کند. یکی از زبان هایی که جهت توصیف سخت افزار از آن استفاده می شود و توسط IEEE نیز استاندارد شده زبان Verilog است که در مقاله از آن استفاده شده است مرتب سازی سریع که می توان آن را بصورت بازگشتی نیز پیاده سازی نمود. در این مقاله این الگوریتم به بازگشتی مورد بررسی قرار گرفته و پس از توضیح مکانیزم کار آن، بوسیله زبان Verilog پیاده سازی شده است در نهایت زمان مورد نیاز جهت انجام عملیات مرتب سازی برای این الگوریتم در پیاده سازی سخت افزاری و نرم افزاری با هم مقایسه و مورد بررسی قرار گرفته و نشان داده شده که انجام عملیات بصورت سخت افزاری داری سرعت بیشتر و زمان اجرای کمتری می باشد.

کلمات کلیدی:
الگوریتم مرتب سازی بازگشتی، زبان توصیفی سخت افزار، پیاده سازی سخت افزاری، مرتب سازی نرم افزاری مرتب سازی سخت افزاری

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/657319