

عنوان مقاله:

طراحی و شبیه سازی یک تمام جمع کننده 8 بیتی سرعت بالا با توان مصرفی کم بر پایه منطق DyMCML

محل انتشار:

سومین کنفرانس ملی اویونیک ایران (سال: 1396)

تعداد صفحات اصل مقاله: 6

نویسندگان:

حسن عبداللهی - استادیار دانشکده مهندسی برق، دانشگاه علوم و فنون هوایی شهید ستاری

افسانه حق نگهدار - دانش آموخته دانشگاه علم و صنعت ایران

خلاصه مقاله:

در این مقاله، یک جمع کننده 8 بیتی سرعت بالا با توان پایین به روش CLA با استفاده از منطق دینامیک در مد جریانی (DyMCML) جهت افزایش حفظ امنیت، محرمانگی و اصالت اطلاعات در صنایع نظامی- هوایی طراحی شده است. با ایجاد یک زمین مجازی در گیت‌های این جمع کننده به وسیله یک خازن در منبع جریان، جریان استاتیک حذف شده که نتیجه آن کاهش توان مصرفی است. این جمع کننده با استفاده از نرم افزار HSPICE با پارامترهای سطح 49 در تکنولوژی $\mu\text{CMOS}6/0$ شبیه سازی شده است. نتایج شبیه سازی نشان می دهد که تاخیر در بدترین حالت $2/5\text{ ns}$ است و توان مصرفی آن در 125 MHz در حدود $7/2\text{ mW}$ است. مقادیر توان، تاخیر، حاصل ضرب توان- تاخیر و حاصل ضرب انرژی- تاخیر این جمع کننده طراحی شده به ترتیب 4، 2، 8 و $16/66$ برابر نسبت به جمع کننده MODL و نسبت به جمع کننده GPL به ترتیب 1، 7، $5/6$ و $4/5$ برابر بهبود یافته است

کلمات کلیدی:

تمام جمع کننده، توان پایین، CLA و DyMCML

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/698143>

