سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی مدارات منطقی توان پایین

محل انتشار:
کنفرانس ملی رهیافت های نو در مهندسی برق و کامپیوتر (سال: 1396)

تعداد صفحات اصل مقاله: 11

نویسنده:
علی صفرمشایی - *دانشجوی کارشناسی ارشد مهندسی برق الکترونیک، دانشگاه آزاد اسلامی واحد لنگرود*

خلاصه مقاله:
با پیشرفت تکنولوژی ،مصرف توان یکی ازمحدودیت های اساسی برای ریزپردازنده ها با کارایی بالا و کارایی متوسط بوده وتبدیل به یک موضوع اصلی درطراحی مدارات دیجیتال VLSI شده است. در این مقاله،پس از بررسی تکنیک های مختلف پیاده سازی گیت های منطقی، چندین گیت پایه با استفاده از تکنیک ورودی نفوذی گیت و همچنین به منظورنمایش اثربه کارگیری تکنولوژی CNFET به جای CMOS ، گیتها با استفاده از یک مدل CNFET در نرم افزار Hspice شبیه سازی شده اند که توسط دانشگاه استنفورد ارایه شده است. در این مقاله با اعمال تغییراتی در ساختار تکنیک GDI ،تکنینیک GDI اصلاح شده به کار رفته است. جهت مقایسه عملکرد این تکنیک پیشنهادی، گیت ها در تکنولوژی CMOS 32 نانومتر و همچنین با تکنیک GDI معمولی نیز شبیه سازی شدهاند. به منظور بررسی تاثیر مدارات منطقی پایه درمدارات ترکیبی، مدار یک جمع کننده بااستفاده ازگیت های پایه و براساس روش پیشنهادی، با تکنولوژی CNFET طراحی شده است.

کلمات کلیدی:
ورودی نفوذی گیت، CMOS ، CNFET ، ترانزیستور نانولوله کربنی

لینک ثابت مقاله در پایگاه سیویلیکا:

https://civilica.com/doc/700868