سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی سلول تمام جمع کننده جدید با توان پایین و سرعت بالا

محل انتشار:
کنفرانس ملی نوآوریهای علوم مهندسی برق (سال: 1396)

تعداد صفحات اصل مقاله: 8

نویسندگان:
لیلا موسایی - *گروه برق، دانشکده فنی و مهندسی، واحد میانه، دانشگاه آزاد اسلامی، میانه، ایران.*

جمشید محمدی - *گروه برق، دانشکده فنی و مهندسی، واحد میانه، دانشگاه آزاد اسلامی، میانه، ایران.*

خدیجه کرمزاده - *گروه برق، دانشکده فنی و مهندسی، واحد میانه، دانشگاه آزاد اسلامی، میانه، ایران.*

خلاصه مقاله:
یکی از مشکلات سلول های تمام جمع کننده، توان بالا و سطح بزرگ و PDP بالا می باشد. حفظ کل نوسان ولتاژ خروجی وبه حداقل رساندن تاخیر در مدارهای VLSIکم قدرت با توجه به تخریب ولتاژ خروجی این یک کار چالش برانگیز است . بسیاری از تکنیک های طراحی روی کاهش نشت جریان و بهبود عملکرد در ولتاژ بایاس پایین و غیره تمرکز دارد.در این مقاله یک تمام جمع کننده کار آمد با 16 ترانزیستور پیشنهاد می دهیم. مدار جمع کننده پیشنهادی با سرعت بالامی تواند در ولتاژ بسیار پایین راه اندازی شده و نوسان ولتاژخروجی مناسب و توان مصرفی و سرعت را متعادل نگه دارد. طراحی براساس MTVL CMOS پیشنهاد شده است. ودر تکنولوژی 180 nm CMOSانجام شده است. در روش پیشنهادی وقت گیرترین و پرمصرف ترین گیت های XOR و مالتی پلکسرها با استفاده از روش MTVLطراحی شده است. حداکثر میانگین توان مصرفی بوسیله این مدار پیشنهادی 6.94µW در ولتاژ تغذیه 1.8V و فرکانس 500MHzمی باشد، که کمتر از سایر روشهای معمول می باشد. توان، تاخیر و ناحیه با روش Pass-Transistor بهینه شده اند و با استفاده از نرم افزار SPICE در محدوده فرکانسی وسیع مطلوب شبیه سازی شده است. همچنین مشاهده شد که طرح پیشنهادی ممکن است با موفقیت در بسیاری از موارد دیگر استفاده شود، بخصوص در مواردی که کمترین توان مصرفی و تاخیر هدف است.

کلمات کلیدی:
تمام جمع کننده توان پایین، طراحیCMOS کم توان ، طراحی مالتی پلکسر برپایه تمام جمع کننده، منطق گیت عبور

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/732140