سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی DDSM و مقسم فرکانسی جهت استفاده در حلقه های قفل فاز

محل انتشار:
کنفرانس ملی فناوری های نوین در مهندسی برق و کامپیوتر (سال: 1396)

تعداد صفحات اصل مقاله: 10

نویسندگان:
فاطمه عروجی - *دانشجوی کارشناسی ارشد، دانشگاه آزاد اسلامی واحد اراک*

سید علی سادات نوری - *مربی گروه برق-الکترونیک، دانشگاه آزاد اسلامی واحد شوشتر*

اشکان حری - *مربی گروه برق- الکترونیک، دانشگاه آزاد اسلامی واحد اراک*

خلاصه مقاله:
مدار مدولاتور سیگما-دلتا دیجیتال طراحی شده در این مقاله ، با استفاده از جمع کننده دیجیتال و TSPC D-FF انجام شده است. همچنین از مدولاتور سیگما- دلتا تک کوانتایزر استفاده کرده ایم. نقلی خروجی ، تک بیتی است و با تغییر صفر و یک ، نسبت تقسیم مقسم فرکانسی تغییر می کند. همچنین مقسم فرکانسی با سرعت بالا و توان کم طراحی شده است. شبیه سازی در تکنولوژی 0/18 µm منطق CMOS و با استفاده از نرم افزار ADS صورت پذیرفت. نتایج حاصل از مدار مذکور از نقطه نظر توان مصرفی 2/5 mw و تاخیر ، بهبود نسبی پیدا کرده است و این امر به سبب بهره گیری از مداراتی با تعداد کمتر ادوات mos و ساختار TSPC می باشد

کلمات کلیدی:
مدولاتور سیگما-دلتا دیجیتال ، مقسم فرکانسی ، جمع کننده دیجیتال ، فلیپ-فلاپ D توان کم

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/758625